



## 逢甲大學學生報告 ePaper

報告題名：

### 運用閘極工程減緩砷化銦鋁/砷化銦鎵變晶式 高電子移動率電晶體紐結效應之研製

作者：林書賢

系級：電子四甲

學號：D9465659

開課老師：李景松

課程名稱：化合物半導體元件

開課系所：電子工程學系

開課學年： 97 學年度 第 1 學期

## 摘要

本專題中，我們藉由不同閘極工程以研究砷化銦鋁/砷化銦鎵變晶式高電子移動率電晶體 (MHEMTs) 之特性。其閘極結構包括蒸鍍金、鎳/金以及於鎳/金上成長一層氮化矽鈍化層 (SiN<sub>x</sub> passivation)。

高銦含量之砷化銦鋁/砷化銦鎵變晶式高電子移動率電晶體之通道有著相當好的高頻應用以及低雜訊的特性。然而，高銦成分之砷化銦鎵通道存在著紐結效應(kink effect)、低崩潰的特性亦影響元件在功率方面的應用。因此為了改善紐結效應，我們將於閘極上蒸鍍高功函數之鎳金屬，藉由減少片電流密度來壓抑離子衝擊效應(impact ionization)。此外，我們於擁有鎳金屬之砷化銦鋁之蕭特基層上成長氮化矽覆蓋層，藉以抑制紐結效應以及減少蕭特基層上的表面缺陷。由實驗結果可知，鎳/金閘極之元件擁有最好的高頻以及低雜訊特性。此外，成長氮化矽之鎳/金閘極之元件得到最小的輸出轉導、最高增益、最好線性度、最大的崩潰進而得到最好的功率特性。因此，擁有氮化矽以及鎳/金閘極之砷化銦鋁/砷化銦鎵變晶式高電子移動率電晶體相當適合於高線性度以及高功率的應用方面。

由衷感謝指導教授李景松老師在大學期間的指導，使學生在研究過程中獲益匪淺，很榮幸地本專題已通過九十七年度行政院國家科學委員會大專學生參與專題研究計畫，計畫名稱：「運用閘極工程減緩砷化銦鋁/砷化銦鎵變晶式高電子移動率電晶體紐結效應之研製」(核定編號：NSC 97-2815-C-035-012-E)。

關鍵字：氮化矽覆蓋層、鎳金屬、離子衝擊效應、紐結效應、表面缺陷

## 目錄

摘要.....	i
目錄.....	ii
圖、表目錄.....	iv
第一章 簡介.....	1
第二章 MHEMTs 之基礎.....	3
2-1 MHEMTs 簡介.....	3
2-2 MHEMTs 結構層設計.....	3
2-3 紐結效應.....	6
第三章 元件結構與製程.....	7
3-1 元件結構.....	7
3-2 閘極工程方法.....	7
3-3 元件製程.....	7
3-3-1 樣本定位.....	8
3-3-2 高台絕緣.....	8
3-3-3 源極與汲極歐姆接觸組成.....	9
3-3-4 閘極蕭特基接觸組成.....	9

3-3-5 覆蓋層組成 .....	10
第四章 實驗數據與討論 .....	11
4-1 霍爾量測 .....	11
4-2 溫度 300K 之直流特性 .....	12
4-3 射頻特性 .....	15
4-4 功率特性 .....	16
4-5 雜訊特性 .....	17
4-6 溫度相依特性 .....	18
第五章 結論 .....	20
參考資料 .....	21



## 圖目錄

Figure 4-1	The cross section of the sample A.....	25
Figure 4-2	The cross section of the sample B.....	26
Figure 4-3	The cross section of the sample C.....	26
Figure 4-4	Current-Voltage characteristics of Sample A at 300K.....	27
Figure 4-5	Current-Voltage characteristics of Sample B at 300K.....	28
Figure 4-6	Current-Voltage characteristics of Sample C at 300K.....	29
Figure 4-7	Current-Voltage characteristics of our studied InAlAs/InGaAs metamorphic HEMTs at 300K.....	30
Figure 4-8	Gate current density versus gate voltage at different $V_{DS}$ for Sample A at 300K.....	31
Figure 4-9	Gate current density versus gate voltage at different $V_{DS}$ for Sample B at 300K.....	32
Figure 4-10	Gate current density versus gate voltage at different $V_{DS}$ for Sample C at 300K.....	33
Figure 4-11	Extrinsic transconductance and saturation drain current density of Sample A of $V_{DS}=2V$ at 300K.....	34
Figure 4-12	Extrinsic transconductance and saturation drain current density of Sample B of $V_{DS}=2V$ at 300K.....	35
Figure 4-13	Extrinsic transconductance and saturation drain current density of Sample C of $V_{DS}=2V$ at 300K.....	36
Figure 4-14	Extrinsic transconductance and saturation drain current density of our studied InAlAs/InGaAs metamorphic HEMTs at 300K.....	37

Figure 4-15	Extrinsic transconductance as a function of the drain current density of our studied InAlAs/InGaAs metamorphic HEMTs at 300K.....	38
Figure 4-16	Breakdown voltage of our studied InAlAs/InGaAs metamorphic HEMTs at 300K.....	39
Figure 4-17	The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample A.....	40
Figure 4-18	The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample B.....	41
Figure 4-19	The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample C.....	42
Figure 4-20	RF characteristics of Sample A at $V_{DS}= 2V$ , $V_{GS}= -1.65V$ for gate dimension = $1.2 \times 200 \mu m^2$ .....	43
Figure 4-21	RF characteristics of Sample B at $V_{DS}= 2V$ , $V_{GS}= -1.2V$ for gate dimension = $1.2 \times 200 \mu m^2$ .....	44
Figure 4-22	RF characteristics of Sample C at $V_{DS}= 2V$ , $V_{GS}= -0.5V$ for gate dimension = $1.2 \times 200 \mu m^2$ .....	45
Figure 4-23	The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample A.....	46
Figure 4-24	The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample B.....	47
Figure 4-25	The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample C.....	48
Figure 4-26	The minimum noise figure ( $NF_{min}$ ) and the associated gain characteristics versus frequency for Sample A.....	49
Figure 4-27	The minimum noise figure ( $NF_{min}$ ) and the associated gain characteristics versus frequency for Sample B.....	50

Figure 4-28	The minimum noise figure ( $NF_{\min}$ ) and the associated gain characteristics versus frequency for Sample C.....	51
Figure 4-29	Extrinsic transconductance and saturation drain current density of sample B from 300K to 450K.....	52
Figure 4-30	Extrinsic transconductance and saturation drain current density of sample C from 300K to 450K.....	53
Figure 4-31	The relationships between the extrinsic transconductance and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.....	54
Figure 4-32	The relationships between the maximum drain current density and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.....	55
Figure 4-33	The relationships between the threshold voltage and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.....	56
Figure 4-34	Two-terminal gate-drain breakdown voltage characteristics of Sample B from 300K to 450K.....	57
Figure 4-35	Two-terminal gate-drain breakdown voltage characteristics of Sample C from 300K to 450K.....	58

## 第一章 簡介

雖然矽金氧半場效電晶體至今已被廣泛應用在許多電路，但是深入調查發現其他半導體材料，例如三五族化合物半導體材料由於它有極佳的電子特性所以運用於高功率與高速電子電路應用。起先，GaAs 的有效質量比矽小，導致室溫下 GaAs ( $8500 \text{ cm}^2/\text{V}\cdot\text{s}$  以上) 之電子移動率比矽 ( $1500\text{cm}^2/\text{V}\cdot\text{s}$  以上) 更高。由於在單晶微波積體電路 (MMICs) 下其低雜訊、高電流增益、高效能與高線性特性可被使用與製造，以 GaAs 為基底的元件漸漸比矽受歡迎[1-5]。

總觀過去，以 n-AlGaAs/GaAs 晶格匹配為基底材料的調變參雜場效電晶體引起了廣大的關注，不單應用在高速數位系統[6]有良好效能在高頻微波元件[7]亦是如此。自從西元 1986 年，假晶式異質結構場效電晶體以快速地進步發展。改善傳統晶格匹配 AlGaAs/GaAs 異質結構場效電晶體的一個方法是以 InGaAs 當做二維電子雲通道的材料取代以往的 GaAs。運用一 InGaAs 薄層當做假晶式通道的好處包含 (1) 增強電子在 InGaAs 通道傳輸特性 (2) 改善在量子井通道的限制能力 (3) 在 AlGaAs/InGaAs 異質界面處產生較寬的不連續傳導帶。然而，材料 AlGaAs 與材料 InGaAs 之間存在晶格不匹配。一旦 InGaAs 層厚度超過臨界厚度皆會導致晶格差排[8]。此臨界厚度可以減少漸增之銦含量層的差排情況並維持彈性張力。一般而言，成長在 GaAs 的假晶式通道之銦含量被限制在 25-30% 以維持高品質[9]。因此，不連續傳導帶  $\Delta E_c$  被限制在大約 0.35 電子伏特而且對於單異質接面的片載子密度被限制在大約  $2 \times 10^{12} \text{ cm}^{-2}$ 。為了獲得高銦含量的 InGaAs 通道層，成長在磷化銦 (InP) 基板上的 InAlAs/InGaAs 高電子移動率場效電晶體 (HEMTs) 已被研究開發。



InAlAs/InGaAs 高電子移動率場效電晶體 (HEMTs) 對磷化銦 (InP) 基板比起成長在 GaAs 基板的 InAlAs/InGaAs 假晶式高電子移動率場效電晶體較晶格匹配已被證實具有更優越的微波特性與低雜訊特性[10-12]。這個優越表現的理由是 InAlAs/InGaAs 異質結構具有傑出的載子限制能力與 InGaAs 通道中擁有電子高飽和速度。使用磷化銦基板最主要的優點在於 InAlAs/InGaAs/InP 是理想晶格匹配。然而，磷化銦基板價格貴、易碎、雖可設計出較小線寬但是比起 GaAs 基板製程技術仍不成熟。這些磷化銦基板之負面因素限制了良率也是最大阻礙而無法量產。相對地，現今 GaAs 基板於大線寬設計已成功達到量產。此優越的特點使我們可以有效的去研究以 GaAs 基板的 InAlAs/InGaAs 元件。我們致力的焦點著重於尋找堅韌的緩衝層以容納在 InAlAs/InGaAs 異質結構的主動層與 GaAs 基板存在之晶格不匹配所產生的應力。漸變的  $\text{In}_x\text{Al}_{1-x}\text{As}$ 、 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{As}$ 、 $\text{Al}_x\text{Ga}_{1-x}\text{As}_y\text{Sb}_{1-y}$  已被納入作為緩衝層的考量。高電子移動率場效電晶體元件亦被稱為「異質」(MM) 結構已被證實具有相當前瞻性的工作效能[13-17]。

以 GaAs 為基板的 InAlAs/InGaAs 異質結構高電子移動率場效電晶體擁有高增益、低雜訊與高截止頻率特性[18]。然而，高銦含量的 InGaAs 通道 MHEMTs 會產生紐結效應[19-22]。本篇專題中，我們以  $\text{In}_{0.45}\text{Al}_{0.55}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  線性漸變通道之 MHEMT 為結構設計，為了解決紐結效應，我們在蕭積層蒸鍍不同金屬與矽氮化物。藉由改善紐結效應，我們可以獲得較佳的各種特性。此外，我們討論在不同高溫度下測試不同元件。當溫度升高將會影響各種直流特性。

本專題中一開始先介紹傳統 HEMT 概念，第二章簡述 HEMT 分別由覆蓋層、蕭基層、間隔層、通道層與緩衝層組成。第三章說明元件製程的過程。此外，我們也研究 HEMT 結構設計與發展。第四章陳述直流特性、溫度、微波、功率與雜訊。第五章則對此篇專題做結論。

## 第二章 MHEMT 基礎

此章節裡，我們將介紹以 InGaAs 通道擁有變晶式緩衝層的基礎和 MHEMTs 每一層的功能。此外，也介紹紐結效應是如何發生的。

### 2-1 介紹 MHEMTs

近年來，單晶微波積體電路運用以 InP 為基底的 HEMTs 已被用在微波通訊和雷達系統。因為高電子移動率、低功率消耗與高整體電流增益頻率使得 InP 基底之 HEMT 受到熱切關注。

以銦為基底之 HEMTs 可以改善載子傳輸特性因為沉積較高銦含量的 InGaAs 化合物在磷化銦基板上沒有晶格不匹配的問題。然而，磷化銦基板的缺點包含機械性破碎、受限的晶圓尺寸與昂貴磊晶成長。為了克服這些困難，一個具有潛力的解決方法就是運用漸變緩衝層；它可伸展從具有成本效益的 GaAs 基板到高銦含量  $\text{In}_x\text{Al}_{1-x}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  之主動層的晶格常數。緩衝層抑制了大部分的晶格缺陷；些缺陷是由晶格轉變所造成的。這個結構型態被定義為變晶式 HEMTs。

### 2-2 MHEMTs 結構層設計

HEMT 典型的結構是成長在 GaAs 半絕緣基板，由(1)覆蓋層(2)無摻雜蕭基層(3) $\delta$ -摻雜層(4)無摻雜間隔層(5)漸變  $\text{In}_x\text{Ga}_{1-x}\text{As}$  通道(6)異質緩衝層，所組成。HEMT 各層結構細節將在以下討論：

### 1. 覆蓋層

典型的 InGaAs 覆蓋層是以重摻雜矽約  $10^{19} \text{cm}^{-3}$ ，提供 HEMT 良好的歐姆接觸，減少元件源極電阻值，並且保護蕭基層免於表面氧化。元件中覆蓋層若是一個非常重的摻雜且厚度厚的產物會導致於非常高的電子速度、轉導值與整體電流增益截止頻率。然而，擁有較厚覆蓋層的 HEMT 也明顯地降低元件崩潰電壓但使元件較不易有均勻閘極掘入。覆蓋層必須完全地凹陷不能與閘極接連到，以避免覆蓋層存在並聯效應。

### 2. 無摻雜蕭基層

蕭基層通常比通道層為較寬能帶。由於在 InAlAs/InGaAs 異質表面有很大的不連續傳導帶，在這個不連續的地方電子會從 InAlAs 擴散進入 InGaAs 並且形成二維電子雲，允許高片電荷密度和改善載子限制力。一個較薄的 InAlAs 蕭基層能從閘極到通道距離縮小導致於有較高轉導值但也降低崩潰電壓。汲極飽和電流以及外質轉導可以表示成：

$$I_{DS} = \frac{\epsilon_H W}{2L(d+\Delta d)} (V_G - V_{off})^2 = \frac{q^2 W(d+\Delta d)}{2L_s} \mu n_s^2 \quad (1)$$

以及

$$g_m = \frac{\partial I_{DS}}{\partial V_{GS}} = \frac{\epsilon_H q W}{(d+\Delta d)L} (V_G - V_{off}) = \frac{W}{L} q \mu n_s \quad (2)$$

$\Delta d$  是絕緣層/通道層介面中的有效二維電子雲的位置， $d$  是由閘極到絕緣層/通道層介面的距離，以及  $\epsilon$  相關位置的介電常數。明顯地， $d$  如果變小，其他參數不變時，可得較高轉導值。

### 3. $\delta$ -摻雜層

擁有  $\delta$ -摻雜層的 HEMT 元件具有下列幾項好處[24-26]：

(1) 高汲極電流潛力

- (2)低雜子散射效應
- (3)高線性轉導
- (4)高閘極圖像縱橫比以降低短通道效應

$\delta$ -摻雜材料具有高汲極電流潛力是因為它的重摻雜濃度與無摻雜蕭基層能增大崩潰電壓。因為載子能良好受限於 V-形狀量子井所以轉導值也明顯地增大 [27-28]。此外，由於較高濃度的二維電子雲使得通道之阻值比傳統 FET 更小。這些好處明顯地影響閘極長度低於二微米的短通道元件特性[29]。以上的高移動率與高轉導值讓擁有  $\delta$ -摻雜層的元件在高速元件應用上大有潛力。

HEMT 元件在通道上插入  $\delta$ -摻雜片層能獲得較高轉導值。而且當 HEMT 元件在通道下插入  $\delta$ -摻雜片層能獲得較高的崩潰電壓。分別在通道上下兩側插入雙層  $\delta$ -摻雜片層能獲得較高載子濃度。

#### 4. 無摻雜間隔層

HEMTs 元件中，在施體原子與電子之間仍存在靜電作用稱為庫倫散射。為了解決這個問題，我們用間隔層分離載子供應層與通道層。電晶體特性上間隔層的厚度是很重要的議題。薄的間隔層厚度可有效地增加通道之總片電荷密度，並且導致較小的源極電阻，較高轉導值與較高電流密度。另一方面，較厚的間隔層能在較低電荷密度的通道上提供較高電子移動率。典型的間隔層厚度約為  $20\text{\AA} \sim 50\text{\AA}$ 。

#### 5. 漸變 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 通道

對於線性漸變通道的 HEMT 結構，二維電子雲聚集在靠近蕭基層與通道的表面，這是由於在摻雜層施體離子的吸引所致。我們可以預期在漸變通道能有較好的載子傳輸與轉導特性。相反地，對於一個反向步階漸變通道 HEMT 結構，

漸變  $\text{In}_x\text{Ga}_{1-x}\text{As}$  通道轉移二維電子雲靠近通道與位障表面銦含量較高的地方。可預期有較低有效質量與較低庫侖散射[30-32]。

## 6. 異質緩衝層

HEMTs 元件中，電子會因為汲極倒源極的電場被注入緩衝層，貢獻多餘的源極電流。這導致有較高源極輸出電導與不良夾止特性。抑制緩衝層漏電流我們採用能量障蔽。本專題中，我們使用四元素組成的變晶式緩衝層來提升緩衝層之能寬能量並且降低輸出電導值。變晶式緩衝層可讓我們沉積臨界磷化銦 HEMT 層在漸變緩衝層的最頂部，此緩衝層可延展品格常數從砷化鎵到磷化銦。這樣的緩衝層有兩個重要的功能：容納主動層與砷化鎵基板之間因為差排現象的晶格不匹配與陷捕這些不合適的差排以避免波及主動層成長在這個緩衝層。除此之外，使用不同銦含量的變晶式緩衝層允許我們成長高品質不容易結合的  $\text{In}_x\text{Al}_{1-x}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  異質結構。

### 2-3 紐結效應

對於三-五族化合物半導體 FET 紐結效應是有害的現象，導致輸出電導增加，轉導壓縮與直流和射頻特性分散。雖然很多論文研究此問題，但此效應的物理機制仍是一個熱切爭論的問題[18-21]。對於三-五族 FETs 的紐結效應我們提出三個最主要的解釋：

1. 通道的離子撞擊和繼而發生的電洞聚集導致表面或通道與基板表面的位能變化。
2. 深層電場相依之陷捕與非陷捕。
3. 結合離子撞擊與深層的效應，藉由產生電洞減少表面的空位能態，此深層是基板或通道與基板表面深層。

## 第三章 元件結構與製程

本章節中，我們將會介紹元件結構與製程。

### 3-1 元件結構

藉由低壓金屬有機氣相沉積系統，元件結構以(100)方向成長在半絕緣砷化鎵基板。成長一層 300nm 厚的線性漸變未摻雜 InAlAs 的緩衝層是為了鬆弛應力。此結構由 300nm In<sub>0.45</sub>Al<sub>0.55</sub>As 緩衝層、 $\delta$ -摻雜片層  $\delta(n^+)(1 \times 10^{12} \text{ cm}^{-2})$ 、30 Å In<sub>0.45</sub>Al<sub>0.55</sub>As 間隔層、180 Å In<sub>x</sub>Ga<sub>1-x</sub>As 無摻雜通道層、30 Å In<sub>0.45</sub>Al<sub>0.55</sub>As 無摻雜間隔層、 $\delta$ -摻雜片層  $\delta(n^+)(4 \times 10^{12} \text{ cm}^{-2})$ 、250 Å In<sub>0.45</sub>Al<sub>0.55</sub>As 無摻雜蕭基層、矽雜 250 Å In<sub>0.45</sub>Ga<sub>0.55</sub>As ( $n^+ = 1 \times 10^{19} \text{ cm}^{-3}$ ) 覆蓋層所組成。

### 3-2 閘極工程方法

由於高銦含量的線性漸變 In<sub>x</sub>Ga<sub>1-x</sub>As 通道的窄通道特質，較好的載子傳輸特性以改善我們所研究元件的轉導值與高頻特性。然而，窄通道化合物半導體伴隨著發生的紐結效應通常是由於離子衝擊效應影響。本專題中，我們利用兩種方法減低離子衝擊與改善元件特性。起先，我們藉由蒸鍍鎳金屬在蕭積層來消除紐結效應。其二，我們沉積一層矽氮化合物表面鈍化層在擁有蒸鍍鎳金屬的蕭基層以增強元件特性。

### 3-3 元件製程

標準微影和 lift-off 技術被用來建立製程圖案。為了保持晶圓的清潔，每個製程步驟前必須以丙酮加入超音波震動器清洗，在用去離子水洗滌晶圓片，並用高純度氮氣吹乾。製程過程有以下五個步驟：



1. 樣本定位
2. 高台絕緣
3. 源極和汲極歐姆接觸
4. 鈍化層形成
5. 閘極蕭基接觸

### 3-3-1 樣本定位

閘極方向必須平行橢圓形主軸去防止 lift-off 製程時產生開路現象。這也是為什麼選擇閘極為(100)方向，並且高台蝕刻選用(011)方向。

### 3-3-2 高台絕緣

高台絕緣的目的在於減少漏電流產生.若是能減少漏電流，元件可以得到較好的夾止特性。在晶圓片上覆蓋均勻 AZ1400 光阻，把高台圖案微影至樣本上，再利用化學濕蝕刻。對於 GaAs、AlGaAs 和 InGaAs 各層中蝕刻溶液  $H_3PO_4 : H_2O_2 : H_2O = 1 : 1 : 30$ 。我們必須確保元件高台蝕刻至緩衝層或基底層，為了有準確的蝕刻速率，利用  $\alpha$  波探測蝕刻時間與深度間的關係。而高台蝕刻的主要步驟如下：

- (1) 乾烤
- (2) 上雷管 (Priming)
- (3) 上光阻，旋轉使覆蓋光阻
- (4) 軟烤(曝前烤)
- (5) 曝光
- (6) 顯影
- (7) 硬烤
- (8) 蝕刻

### (9)去光阻

#### 3-3-3 源極和汲極歐姆接觸形成

利用丙酮加入超音波震盪器中清洗晶圓並用氨水溶液

( $\text{NH}_4\text{OH} : \text{H}_2\text{O} = 1 : 1$ )去除氧化層表面。覆蓋均勻後在 90 度下 30 分鐘，之後則是利用標準的微影製程定義出汲極和源極圖形。蒸鍍的金屬與覆蓋板必須用丙酮和鹽酸在超音速震盪器中清洗 20 分鐘後，用去離子水洗滌並用高純度氮氣吹乾。在源極和汲極的連接金屬是利用合金 Au/Ge/Ni 在事先蒸鍍的 Au 上，為了就是減少連接的電阻值。lift-off 步驟是為了讓圖案和樣本間在快速熱退火中有好的熔結，使其有好的歐姆接觸特性。而主要源極和汲極金屬化步驟如下：

- (1)乾烤
- (2)上雷管(Priming)
- (3)旋轉上光阻使其均勻
- (4)軟烤(曝前烤)
- (5)曝光
- (6)顯影
- (7)蒸鍍
- (8)Lift-off
- (9)合金連接

#### 3-3-4 閘極蕭基接觸

在沉積鈍化層和蒸鍍閘極金屬之前，必須先利用蝕刻技術先移除覆蓋層。若是沒有完全移除乾淨，則會有並聯效應產生。運用源極和汲極為閘極光罩，所以並不需要運用到光學微影製程。閘極凹槽蝕刻是用  $\text{H}_3\text{PO}_4 : \text{H}_2\text{O}_2 : \text{H}_2\text{O} = 1 : 1 : 30$  溶液進行。利用閘極光罩開啟閘極窗，然後在 InAlAs 層蒸鍍兩種不同金屬(Au and Ni/Au)作為蕭基閘極。經過 lift-off 過程後，元件算



運用閘極工程減緩砷化銦鋁/砷化銦鎵變晶式  
高電子移動率電晶體紐結效應之研製

是完成。

### 3-3-5 鈍化層

移除覆蓋層後，一個 10nm 厚的矽氮化物表面鈍化層在溫度 300°C 下以電漿增強型化學汽相沉積技術沉積出來。氫氟酸溶液用於移除在閘極微影製程時被設定之閘極圖像的矽氮化物。然後，蒸鍍鎳和金形成蕭基接觸。經過 lift-off 過程後，鈍化元件算是完成。



## 第四章 實驗數據與討論

在本章節中，我們將會討論擁有不同蕭基接觸(金與鎳/金)和矽氮化物表面鈍化層加上蒸鍍鎳/金之變晶式 HEMT 的元件。因為不同結構為了方便了解我們將分類樣本 A(金)，樣本 B(鎳/金)，樣本 C(擁有矽氮化物表面鈍化層與鎳/金蒸鍍)。以上樣本的圖式截面圖展示在圖 4-1，4-2，4-3。

### 4-1 霍爾量測

為了研究樣本的特性，我們採用一種特別的量測方法稱為霍爾量測。為了得到精確數據，以下條件必須滿足：

1. 接觸點是樣本的周邊。
2. 接觸點要夠小。
3. 樣本必須一樣厚。
4. 樣本表面是單點連接；換句話說，樣本沒有被分離的洞。
5. 所有樣本元件的閘極尺寸是  $1.2 \times 100 \mu\text{m}^2$  和源極到汲極距離  $10 \mu\text{m}$ 。
6. 所有元件以 KEITHLEY 4200 量測。

霍爾移動率的量測結果顯示在室溫下(300K)片載子密度  $3.8 \times 10^{12} \text{ cm}^{-2}$  擁有  $10000 \text{ cm}^2/\text{V-s}$  移動率，且在溫度 77K 下片載子密度  $3.23 \times 10^{12} \text{ cm}^{-2}$  擁有  $35420 \text{ cm}^2/\text{V-s}$  移動率。

## 4-2 溫度 300K 之直流特性

所有元件的閘極線寬為  $1.2 \times 100 \mu\text{m}^2$  和源極到汲極的距離為  $10 \mu\text{m}$ 。所有元件用 KEITHLEY 4200 量測。

圖 4-4、4-5 和 4-6 個別顯示在室溫下樣本 A、樣本 B 和樣本 C 的典型共源極汲極電流對應  $V_{DS}$  的特性。圖 4-7 把樣本 A、樣本 B 和樣本 C 電流對應電壓特性統整比較。樣本 A 很明顯地觀察到受到紐結效應的影響。樣本 B 與樣本 C 顯示較佳的夾止特性和較少紐結效應影響。圖 4-8、4-9 和 4-10 顯示 on-state 離子衝擊電流密度  $I_G$  對應  $V_G$ ，對樣本 A、樣本 B 和樣本 C 在閘極電流受離子衝擊主導下量測在不同汲-源極電壓。在圖上觀察到的「鐘型形狀」變化跟通道裡發生離子衝擊有很大的關係。在  $V_G$ - $I_G$  特性曲線的負峰值是由於收集離子衝擊所產生的電洞結果。樣本 A、樣本 B 和樣本 C 的閘極漏電流的負峰值在  $V_{DS}=2.5V$  情況下個別量測出  $-351.7 \mu\text{A}/\text{mm}$ 、 $-119.5 \mu\text{A}/\text{mm}$  和  $-17.1 \mu\text{A}/\text{mm}$ 。樣本 B 與樣本 C 離子衝擊現象比樣本 A 小。因為較高的蕭基位障，鎳/金蕭基接觸藉由通道載子減少而容易完全空乏通道。此外，樣本 C 比樣本 B 有更少離子衝擊電流。漸增的  $\text{SiN}_x$  表面鈍化層空乏區亦可抑制離子衝擊和紐結效應藉由減少通道的載子。

接著我們討論外質轉導特性，外質轉導( $g_m$ )和飽和汲極電流密度( $I_{DS}$ )是一個閘-源極電壓( $V_{GS}$ )的函數，樣本 A、樣本 B 和樣本 C 在  $V_{DS}=2V$  時測量，其圖型分別顯示在圖 4-11、4-12 和 4-13。圖 4-14 顯示三個樣本的  $g_m$ 、 $I_{DS}$  一起比較與另兩個不同的差異。

	Sample A	Sample B	Sample C
$I_{dss}$ (mA/mm)	467	428	336
$I_{d,max}$ (mA/mm)	506	486	425
$g_{m,max}$ (mS/mm)	402	358	367
GVS (V)	0.3	0.55	0.55
$V_{th}$ (V)	-2.28	-1.83	-1.23

Table 4-1 the  $g_m$ ,  $I_{DS}$ ,  $V_{th}$  and GVS of our studied devices

汲-源極飽和電流密度( $I_{dss}$ )和最大飽和汲極電流密度( $I_{d,max}$ )顯示於表 4-1。樣本 B 與樣本 C 顯示較小電流密度由於較大的空乏區而此空乏區減少了離子衝擊。

表 4-1 中，我們可以明顯地獲得樣本 A 的值比  $g_m$  樣本 B 和樣本 C 還大。然而，樣本 A 的峰值  $g_m$  在樣本 B 與樣本 C 看不見是因為抑制扭結效應。此外，我們以最大外質轉導下降 10% 的值定義閘極電壓擺動(GVS)和線性  $I_{DS}$  操作區。沒有峰值  $g_m$  的樣本 B 與樣本 C 的 GVS 值和線性  $I_{DS}$  操作區明顯地比樣本 A 平緩。外加電壓被設定在  $V_{DS} = 2$  V。樣本 A、樣本 B 和樣本 C 所對應的線性  $I_{DS}$  操作區分別是 115.5、188.1 和 196.1 mA/mm。

我們以汲極電流密度為 1 mA/mm 來定義臨界電壓和臨界電壓方程式可被近似為[33]：

$$V_{th} = \frac{\phi_B}{q} - \frac{\Delta E_c}{q} - \frac{n_{2DEG}(d + \Delta d)}{\epsilon} \quad (4-1)$$

此  $\Phi_B$  是蕭基閘極位障高度， $\Delta E_c$  是傳導帶不連續位於蕭基層和  $In_xGa_{1-x}As$  通道之間， $(d + \Delta d)$  是有效距離長度位於閘極和  $n_{2DEG}$  的地方。臨界電壓顯示在表

4-1。樣本 A 的臨界電壓比樣本 B 更小，由於較高的蕭基位障高度和較少的二維電子雲這就是紐結效應導致的。樣本 C 有較大的空乏區，擁有鎳金屬的 SiN<sub>x</sub> 鈍化層會抑制位於蕭基層/通道表面接面處的二維電子雲濃度。此外，樣本 C 中受紐結效應產生的載子比樣本 B 較少。因此，樣本 C 比其他樣本有較大的臨界電壓。

圖 4-16 顯示在室溫下樣本 A、樣本 B 和樣本 C 雙端閘-汲極崩潰電壓(BV<sub>GD</sub>)和順向導通電壓(V<sub>on</sub>)的特性曲線。我們在閘-汲極電壓下標準形式的閘極寬度 I<sub>G</sub>/W 為 1 mA/mm 的閘極電流來定義雙端崩潰電壓。表 4-2 說明樣本 B 與樣本 C 比樣本 A 有較大的閘-汲極崩潰電壓，這是因為較高的蕭基位障高度。此外，樣本 C 中靠近閘極的電場較均勻。因此樣本 C 的閘-汲極崩潰電壓是最高的。

	Sample A	Sample B	Sample C
BV <sub>GD</sub> (V)	4.5	5.45	24.7

Table 4-2 Two-terminal characteristics of our studied devices

圖 4-17、4-18 和 4-19 顯示樣本 A、樣本 B 和樣本 C 的外質轉導、輸出電導和電壓增益。本質電壓增益可被寫成：

$$A_V = g_m \cdot r_o = \frac{g_m}{g_d} \quad (4-2)$$

三個樣本在 V<sub>DS</sub> = 2.5V 時量測結果在表 4-3 中。從表 4-3 可知樣本 B 與樣本 C 的輸出電導比樣本 A 的值還要低原因是減少的紐結效應。圖 4-18 和 4-19 可觀察出樣本 C 的輸出電導更平緩且更小，所以樣本 C 的電壓增益比樣本 B 平滑。因此樣本 C 可滿足高輸出阻抗、低輸出電導和高電壓增益。在飽和區低輸出電

導可提供較高輸出阻抗，這個對電壓增益特性是好處且釋放負載效應。

	Sample A	Sample B	Sample C
$g_m$ (mS/mm)	365.1	353.7	363.4
$g_d$ (mS/mm)	98.5	30.3	2.09
$A_v$	3.7	11.7	173.8

Table 4-3  $g_m$ ,  $g_d$  and voltage gain of our studied devices at  $V_{DS}=2.5V$

#### 4-3 射頻特性

我們使用 HP 8510B 網路與頻率 0.2~50GHz cascade 探針一起結合測量其微波特性。所有樣本元件的閘極尺寸為  $1.2 \times 200 \mu m^2$  和源極到汲極的距離為  $7 \mu m$ 。用 on-wafer 標準完全消除寄生鍵結。一個營利的模擬裝置例如 HP Eesof Touchstone 是利用 S 參數去分析。在 0dB 時，短路電路電流增益  $H_{21}$  的插補，可獲得截止頻率  $f_T$ 。由最大功率增益的插補可獲得  $f_{max}$ ，因此， $f_T$  和  $f_{max}$  可被寫成以下方程式：

$$f_T \approx \frac{g_m}{2\pi(C_{GS} + C_{GD})} \quad (4-3)$$

$$f_{max} \approx \frac{f_T}{2[G_0(R_G + R_S) + 2\pi C_{GD}]^{1/2}} \quad (4-4)$$

	樣本 A	樣本 B	樣本 C
閘極偏壓 (V)	-1.6	-1.2	-0.5
$f_T$ (GHz)	24.9	27.9	21.5
$f_{max}$ (GHz)	64.3	70.1	62.9

**Table 4-4  $f_T$  and  $f_{max}$  of our studied devices for gate dimension =  $1.2 \times 200 \mu\text{m}^2$**

圖 4-20、4-21 和 4-22 個別顯示樣本 A、樣本 B、樣本 C 的電流增益，截止頻率  $f_T$ ，和最大震盪頻率。我們研究的元件在  $V_{DS} = 2V$  時的所有數值， $f_T, f_{max}$  和閘極偏壓條件都統整於表 4-4。因為使用  $\text{SiN}_x$  表面鈍化層，造成的並聯電容，使得樣本 C 的  $f_T$  和  $f_{max}$  比其他樣本小。

#### 4-4 功率特性

我們假定輸入直流功率比率轉變成輸出交流功率。樣本量測顯示成立。源極和負載阻抗匹配使用雙調整器使其做最有效的運用，並且在基本頻率下帶通濾波器與功率偵測器合併去確保讀取正確的功率讀數。對於 AB 等級操作，特性顯示被偏壓在接近夾止狀態。功率附加效能方程式如下：

$$\eta_{add} = \frac{P_{out} - P_{in}}{P_{DC}} \times 100\% \quad (4-5)$$

	樣本 A	樣本 B	樣本 C
閘極偏壓 (V)	-1.65	-1.1	-0.45
P.A.E. (%)	15.5	30.7	54.1
聯合輸出功率 (dBm)	9.2	12.1	14.5
聯合功率增益 (dB)	7.2	8.1	8.5

Table 4-5 the power performance of our studied devices at 2.4GHz

微波負載挽式功率特性被量測到是 2.4GHz。圖 4-23,4-24 和 4-25 顯示輸出功率、功率增益和附加功率效能(PAE)對我們研究的擁有閘極線寬  $1.2 \times 200 \mu\text{m}^2$  元件輸入功率是不利的。附加功率效能(PAE)所有數值、樣本 A,樣本 B,樣本 C 在  $V_{\text{DS}} = 2.5 \text{ V}$  的聯合輸出功率與功率增益被統整在表 4-5。從表 4-5 可知，樣本 C 的附加功率效能(PAE)、聯合輸出功率與功率增益比其他的樣本更佳，因為閘極漏電流少且有較大的崩潰電壓。

#### 4-5 雜訊特性

圖 4-26,4-27,4-28 顯示最小雜訊數據和聯合增益對我們研究的擁有閘極線寬  $1.2 \times 200 \mu\text{m}^2$  元件頻率不利。雜訊特性藉由一台 HP8970B 雜訊數據儀錶以頻率範圍 1 到 10GHz 測量。

當電流減小雜訊可被減小，因為較高的汲極電流將會產生電子散射效應則導致雜訊減小。然而，減小電流將會減少轉導值，較小的轉導值因為越來越小的增益導致雜訊數據增加。因此存在一個最理想的偏壓條件去達到最小雜訊特性。



	Sample A	Sample B	Sample C
Gate bias (V)	-1.65	-1.2	-0.5
NFmin (dB)	1.18	0.90	1.23
Associated gain (dB)	14.94	16.62	14.44

**Table 4-6 The noise performance of our studied devices at 2.4 GHz**

最小雜訊數據( $NF_{min}$ )方程式如下：

$$NF_{min} \approx 1 + 2\pi f K C_{gs} \sqrt{\frac{R_s + R_g}{g_m}} \quad (4-6)$$

表 4-6 顯示最小雜訊數據值( $NF_{min}$ )和聯合增益對我們研究的元件不利。從式子(4-6)，由於我們使用  $SiN_x$  表面鈍化層所產生的並聯電容，我們可以發現樣本 A、樣本 B 是比樣本 C 還要小的。

#### 4-6 溫度相依特性

所有樣本在溫度 300~450K 下量測。樣本 A 由於紐結效應而易於燒毀所以樣本 A 的溫度相依特性不能被量測。

##### 1. 外質轉導特性

圖 4-29 和 4-30 各別地顯示樣本 B 與樣本 C 在不同溫度下，外質轉導值和以閘極對源極電壓  $V_{DS} = 2V$  為一個方程式的飽和汲極電流密度。當溫度升高時，最大外質轉導值增加，原因是漸增的汲極電流密度[34]。圖 4-31 和 4-32 顯示在

較高溫時，最大外質轉導值和汲極電流密度增加。圖 4-33 指出  $V_{th}$  特性是以一個在  $V_{DS} = 2V$  情況下環境溫度從 300 K 到 450 K 的一個方程式。表 4-7 裡，受到紐結效應輕微影響之樣本 B 的最大汲極電流密度變化率較小，因為紐結效應使得汲極電流密度上升在較高的溫度影響較明顯。另一方面，樣本 B 有太多電子因而降低載子限制能力和閘極控制通到能力。從表 4-7 得知，樣本 C 的臨界電壓和最大外質轉導在高溫是穩定的。

Temperature(K)	Sample B		Sample C	
	300K	450K	300K	450K
$I_{D,max}$	-17.2 %		-23.9 %	
$g_{m,max}$	-22.6 %		-18.2 %	
$V_{th}$	-9.8 %		-1.6 %	

Table 4-7 The variations of  $I_{D,max}$ ,  $g_{m,max}$  and  $V_{th}$  from 300 K to 450 K

## 2. 兩端點的崩潰電壓特性

圖 4-34 和 4-35 個別地顯示樣本 B 與樣本 C 在不同溫度下，兩端點閘極—汲極崩潰電壓的溫度相依特性。反向閘極漏電流增加，有一部分是由於穿遂機制和一部分的能寬降低。因此，樣本 B 與樣本 C 因為溫度的上升崩潰電壓下降。

## 第五章 結論

本專題中，擁有閘極工程的  $\text{In}_{0.45}\text{Al}_{0.55}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  線性漸變通道變晶式 HEMT 已成功研究且製造出來。擁有鎳金屬蕭基接觸之樣本 B 比起傳統閘極結構的樣本 A 以有效地改善元件特性，這是由於降低離子撞擊現象。更進一步，運用鎳金屬與表面鈍化層兩種技術使的樣本 C 與其他樣本比起來有較高的 GVS 值 0.55V，較低輸出電導 2.1mS/mm，最佳線性 196mA/mm，電壓增益 174V/V，崩潰電壓 24.7V，輸出功率 14.9dBm 與溫度穩定。因此，此 MHEMT 元件研究藉由鎳金屬與砷氮化物表面鈍化層改善了離子撞擊與紐結效應使其在高增益應用和高功率微波電路上能穩定操作。

最後，更進一步改善元件特性，以下是我們建議可能使用的方法：

1. 用其他金屬(例如鈦,鉑)來做擁有砷氮化物鈍化層的蕭積閘極可以增強元件的特性。
2. 利用自動較準的 T-閘極或空氣橋技術以便於降低閘極阻值和修除邊牆效應。
3. 分析元件的一致性與可靠性。

## 參考資料

- [1] M. Kao, P. M. Smith, P. Ho, P. Chao, K. H. G. Duh, A. A. Jabra, and J. M. Ballingall, "Very high power-added efficiency and low-noise 0.15- $\mu\text{m}$  gate length pseudomorphic HEMT's," *IEEE Electron Device Lett.*, vol. 10, p. 580, 1989.
- [2] G. M. Metzger, J. F. Bass, T. T. Lee, A. B. Cornfield, J. L. Singer, H. L. Hung, H. C. Huang, and K. P. Pande, "High-gain, V-band, low-noise MMIC amplifiers using pseudomorphic MODFETs," *IEEE Electron Device Lett.*, vol. 11, p. 24, 1990.
- [3] A. Ketterson, J. W. Seo, M. Tong, K. Nummila, D. Balleger, S. M. Kang, K. Y. Cheng, and I. Adesida, "A 10-GHz bandwidth pseudomorphic GaAs/InGaAs/AlGaAs MODFET-based OEIC receiver," *IEEE Trans. Electron Devices*, vol. 39, p. 2676, 1992.
- [4] C. S. Wu, C. K. Pao, W. Yau, H. Kanber, M. Hu, S. X. Bar, A. Kurdoghlian, Z. Bardai, D. Bosch, C. Seashore, and M. Gawronski, "Pseudomorphic HEMT manufacturing technology for multifunctional Ka-band MMIC applications," *IEEE Microwave Theory and Tech.*, vol. 43, p. 257, 1995.
- [5] S. E. Rosenbaum, B. K. Kormanyos, L. M. Jellian, M. Matloubian, A. S. Brown, L. E. Larson, L. D. Nguyen, M. A. Thompson, L. P. B. Katehi, and G. M. Rebeiz, "155- and 213-GHz AlInAs/GaInAs/InP HEMT MMIC oscillators," *IEEE Microwave Theory and Tech.*, vol. 43, p. 927, 1995.
- [6] P. N. Tung, P. Delescluse, D. Delagebeaudeuf, M. Laviorn, J. Chaplart, and N. T. Linh, "High speed low power DCFL using planar two-dimensional electron gas FET technology," *Electron. Lett.*, vol. 18, p. 517, 1982.
- [7] S. Sen, M. K. Pandey, R. S. Gupta, "Two-dimensional C-V model of AlGaAs/GaAs modulation doped field effect transistor (MODFET) for high frequency applications," *IEEE Trans. Electron Devices*, vol. 46, p. 1818, 1999.
- [8] F. Ali and A. Gupta, "HEMTs and HBTs; devices, fabrication, and circuits," Artech House, Boston London, 1991.
- [9] M. T. Yang, Y. J. Chan, C. H. Chen, J. I. Chyi, R. M. Lin, and J. L. Shieh,

- “Characteristics of pseudomorphic AlGaAs/In<sub>x</sub>Ga<sub>1-x</sub>As ( $0 \leq x \leq 0.25$ ) doped-channel field-effect transistors.” *J. Appl. Phys.*, vol. 76, pp. 2494, 1994.
- [10] C. Nguyen and M. Micovic, “The state-of-the-art of GaAs and InP power devices and amplifiers.” *IEEE Trans. Electron Devices*, vol. 48, pp. 472, 2001.
- [11] L. D. Nguyen, A. S. Brown, M. A. Thompson, and L. M. Jelloian, “50-nm self-aligned gate pseudomorphic AlInAs/GaInAs high electron mobility transistors,” *IEEE Trans. Electron. Devices*, vol. 39, no. 12, pp. 2007-2014, Dec. 1992.
- [12] H. S. Yoon, J. H. Lee, J. Y. Shim, S. J. Kim, D. M. Kang, J. Y. Hong, W. J. Chang, and K. H. Lee, “Low noise characteristics of double-doped In<sub>0.52</sub>Al<sub>0.48</sub>As–In<sub>0.53</sub>Ga<sub>0.47</sub>As power metamorphic HEMT on GaAs substrate with wide head T-shaped gate,” in *Proc. Indium Phosphide and Related Materials*, 2002, pp. 201-204.
- [13] Behet, M., Van Der Zanden, K., Borghs, G., and Behres, A., “Metamorphic InGaAs/InAlAs quantum well structure grown on GaAs substrate for high electron mobility transistor applications,” *Appl. Phys. Lett.*, 1998, vol. 73, p. 2760-2762.
- [14] Contrata, W., Iwata, N., “Double-doped In<sub>0.35</sub>Al<sub>0.65</sub>As/In<sub>0.35</sub>Ga<sub>0.65</sub>As power heterojunction FET on GaAs substrate with 1 W output power,” *IEEE Electron Device Letters*, vol. 20, July 1999 p.369 – 371.
- [15] Hoke, W.E., Lemonias, P.J., Lyman, P.S., Torabi, A., Marsh, P.F., McTaggart, R.A., Lardizabal, S.M., and Hetzler, K., “Molecular beam epitaxial growth and device performance of metamorphic high electron mobility transistor structures fabricated on GaAs substrates,” *J. Vac. Sci. Technol. B*, 1999, vol. 17, p.1131-1135.
- [16] K. Ouchi., T. Mishima, M. Kudo, and H. Ohta, “Gas-source molecular beam epitaxy growth of metamorphic InP/In<sub>0.5</sub>Al<sub>0.5</sub>As/In<sub>0.5</sub>Ga<sub>0.5</sub>As/InAsP high-electron-mobility structures on GaAs substrates,” *Jpn. J. Appl. Phys.*, vol. 41, pp. 1004-1007, 2002.
- [17] S. Bollaert, Y. Cordier, M. Zaknounge, H. Happy, V. Hoel, S. Lepilliet, D. Théron

- and A. Cappy, "The indium content in metamorphic  $\text{In}_x\text{Al}_{1-x}\text{As}/\text{In}_x\text{Ga}_{1-x}\text{As}$  HEMTs on GaAs substrate: a new structure parameter." *Solid-State Electronics*, Vol. 44, Issue 6, 2000, pp. 1021-1027.
- [18] S. Bollaert, Y. Cordier, M. Zaknour, H. Happy, S. Lepilliet, and A. Cappy, "0.06  $\mu\text{m}$  Gate length metamorphic  $\text{In}_{0.52}\text{Al}_{0.48}\text{As}/\text{In}_{0.53}\text{Ga}_{0.47}\text{As}$  HEMTs on GaAs with high  $f_T$  and  $f_{\text{max}}$ ," in *Proc. Indium Phosphide Rel. Mater.*, 2001, pp. 192-195.
- [19] Suemitsu T., Enoki T., Sano N., Tomizawa M., Ishii Y., "An analysis of the kink phenomena in InAlAs/InGaAs HEMT's using two-dimensional device simulation," *Electron Devices, IEEE Transactions on*, vol. 45, no. 12, Dec. 1998 p.2390-2399.
- [20] Somerville M. H., Ernst A., del Alamo J. A., "A physical model for the kink effect in InAlAs/InGaAs HEMTs," *Electron Devices, IEEE Transactions on*, vol. 47, no. 5, May 2000 p.922-930.
- [21] Horio K., Wakabayashi A., "Numerical analysis of surface-state effects on kink phenomena of GaAs MESFETs," *Electron Devices, IEEE Transactions on*, vol. 47, no. 12, Dec. 2000 p.2270-2276.
- [22] Haruyama J., Negishi H., Nishimura Y., Nashimoto Y., "Substrate-related kink effects with a strong light-sensitivity in AlGaAs/InGaAs PHEMT," *Electron Devices, IEEE Transactions on*, vol. 44, no. 1, Jan. 1997 p.25-33.
- [23] Fazal Ali and Alitya Gupta, "HEMTs and HBTs; Devices, Fabrication, and Circuits", p.82.
- [24] J. C. Huang, M. Zaitlin, W. Hoke, M. Adlerstein, P. Lyman, P. Saledas, G. Jackson, E. Tong, and G. Flynn, "A high-gain, low-noise 1/2- $\mu\text{m}$  pulse-doped pseudomorphic HEMT," *IEEE Electron Device Lett.*, vol. 10, p. 511, 1989.
- [25] A. Fathimullas, J. Abrahams, T. Loughran, H. Hier, "High performance InAlAs/InGaAs HEMTs and MESFETs", *IEEE Electron Device Letters*, vol. 28, no. 19, p.1849, 1992.
- [26] S. R. Bahl, J. A. del Alamo, "Elimination of mesa sidewall gate leakage in

- InAlAs/InGaAs HFETs”, *Electron Devices, IEEE Transactions on*, vol. 13, no. 4, p.195, 1992.
- [27] S. R. Bahl, M. H. Leary, J. A. del Alamo, “Mesa sidewall gate leakage in InAlAs/InGaAs HFETs”, *Electron Devices, IEEE Transactions on*, vol. 39, no. 9, p.2037, 1992.
- [28] G. I. Ng, W. P. Hong, D. Pavlidis, M. Tutt, P. K. Bhattacharya, “Characteristics of stained InGaAs/InAlAs HEMT with optimized transport parameters”, *IEEE Electron Device Letters*, vol. 9, no. 9, p439, 1988.
- [29] S. R. Bahl, B. R. Bennett, J. A. Alamo, “Doubly stained InAlAs/n-InGaAs HFET with high breakdown voltage”, *IEEE Electron Device Letters*, vol. 14, no. 1, p. 22, 1993.
- [30] R. T. Hsu, H. M. Shieh, W. C. Hsu, and T. S. Wu, “Enhanced current driving capability GaAs/graded  $\text{In}_x\text{Ga}_{1-x}\text{As}$  high electron mobility transistor,” *Solid-State Electron*, vol. 36, p.1143, 1993.
- [31] Y. J. Li, J. S. Su, Y. S. Lin and W. C. Hsu, “Investigation of a graded channel InGaAs/GaAs heterostructure transistor,” *Superlattices and Microstructures*, vol. 28, p.47, 2000.
- [32] W. C. Hsu, C. L. Wu, M. S. Tsai, C. Y. Chang, W. C. Liu, H. M. Shieh, “Characterization of high performance inverted delta modulation doped (IDMD) GaAs/InGaAs pseudomorphic heterostructure FETs”, *IEEE Trans. on, Electron Devices*, vol. 9, no. 1, p.22, 1993.
- [33] C. S. Lee, Y. J. Chen, W. C. Hsu, K. H. Su, J. C. Huang, D. H. Huang, and C. L. Wu, “High-temperature threshold characteristics of a symmetrically graded InAlAs/ $\text{In}_x\text{Ga}_{1-x}\text{As}$ /GaAs metamorphic high electron mobility transistor.” *Appl. Phys. Lett.*, 88, 223506 (2006).
- [34] W. C. Liu, W. L. Chang, W. S. Lour, S. Y. Cheng, Y. H. Shie, J. Y. Chen, W. C. Wang, H. J. Pan, “Temperature-dependent investigation of a high-breakdown voltage and low-leakage current  $\text{In}_{0.49}\text{Ga}_{0.51}\text{As}/\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$  pseudomorphic HEMT,” *IEEE Electron Device Lett.*, vol. 20, p. 274,1998.

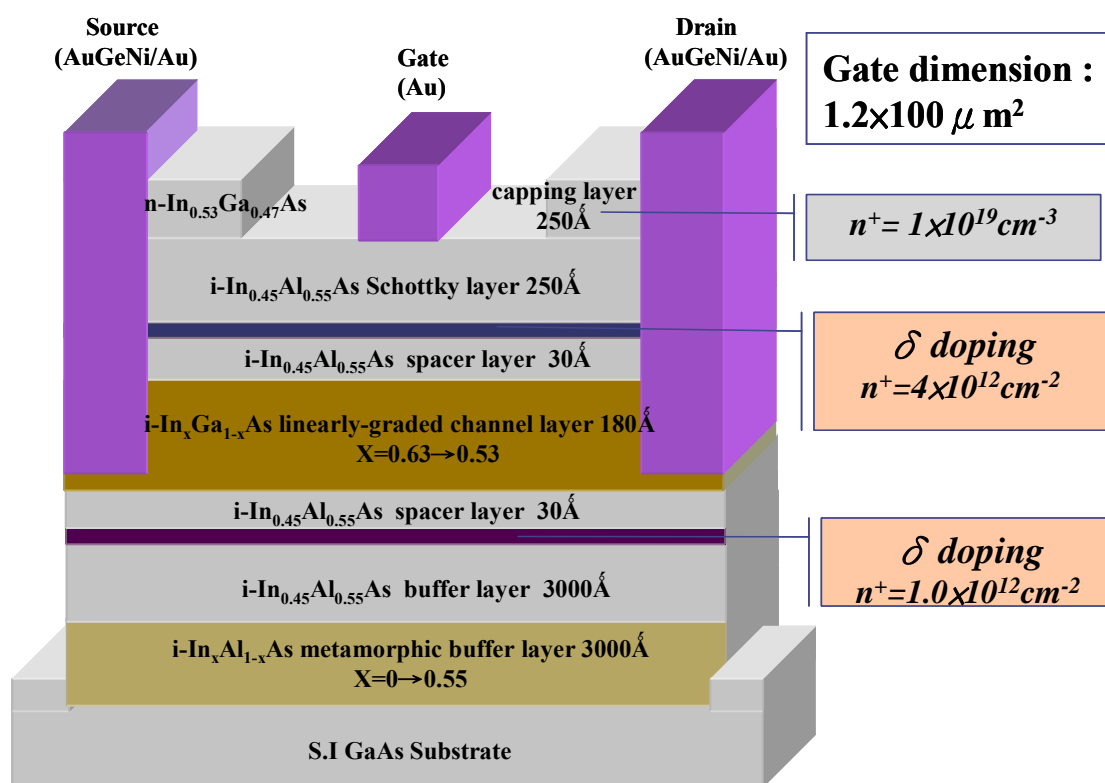


Figure 4-1 The cross section of the Sample A



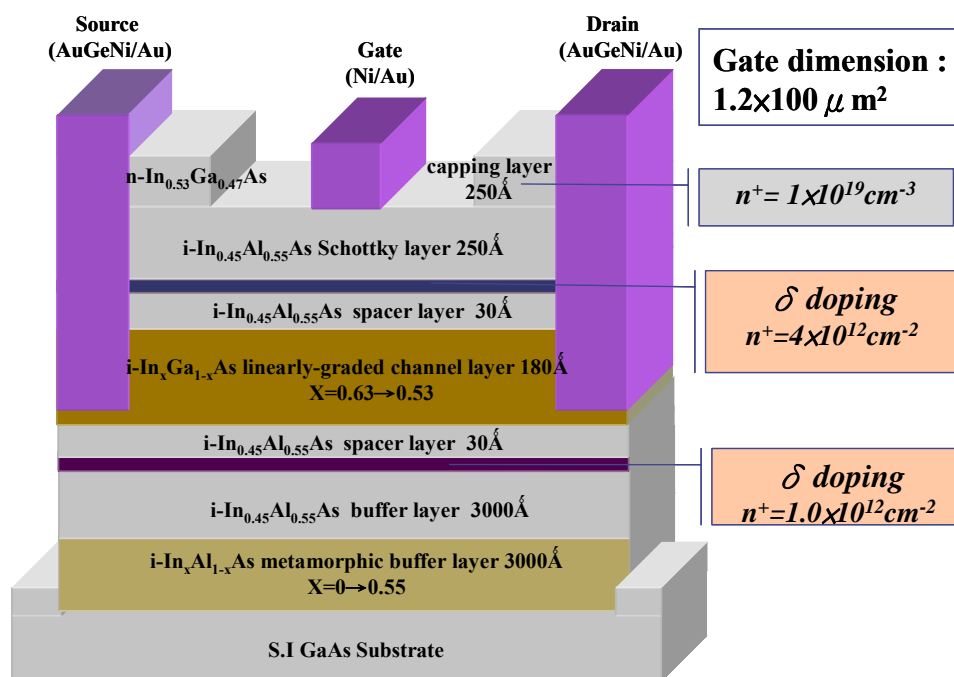


Figure 4-2 The cross section of the Sample B

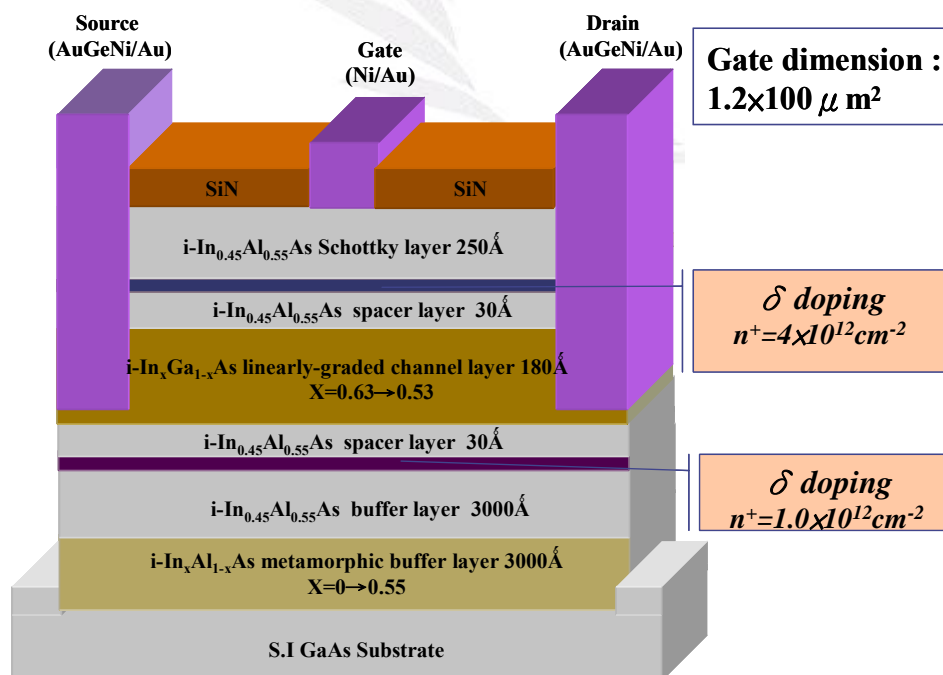


Figure 4-3 The cross section of the Sample C

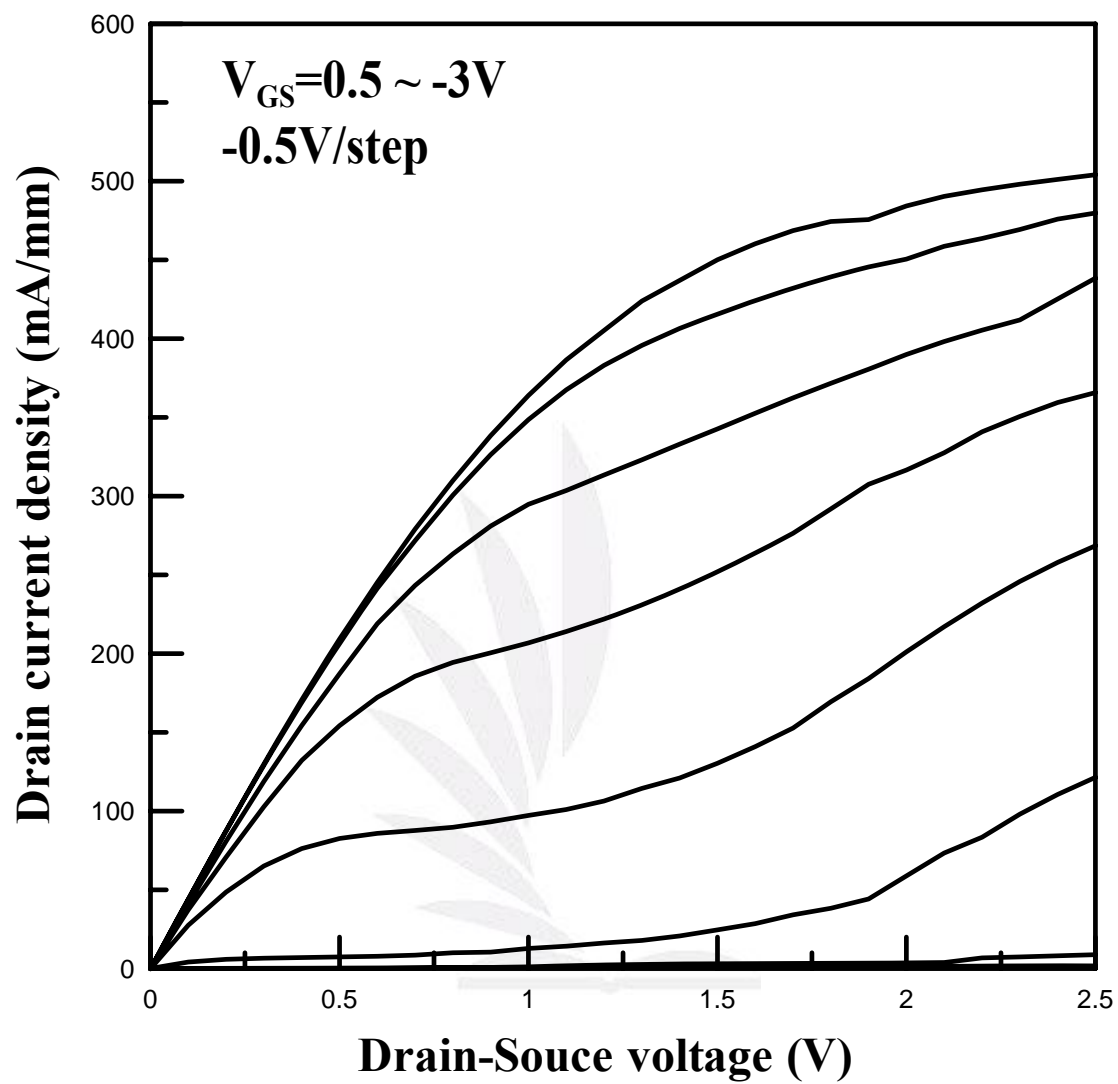


Figure 4-4 Current-Voltage characteristics of Sample A at 300K

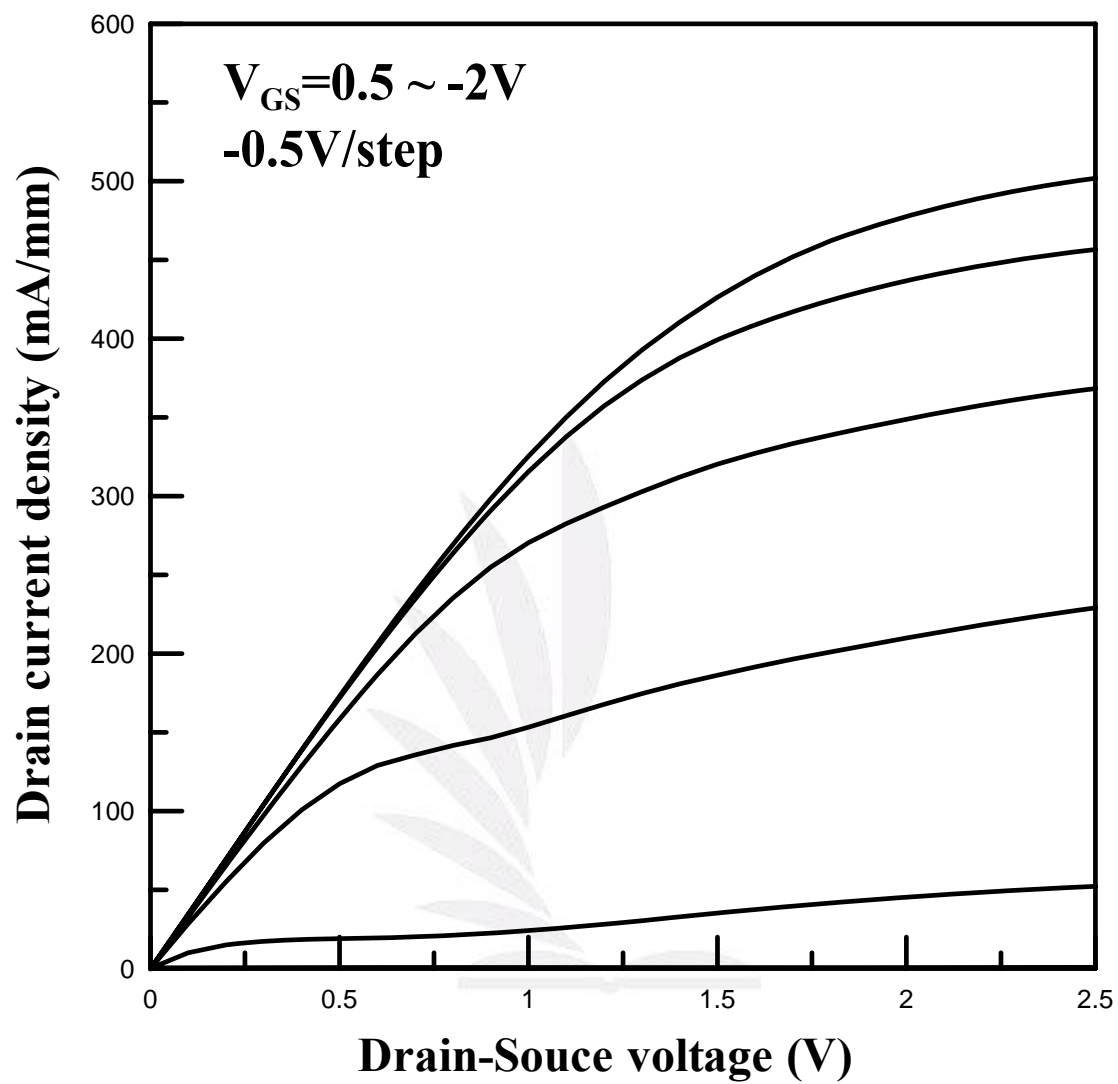


Figure 4-5 Current-Voltage characteristics of Sample B at 300K

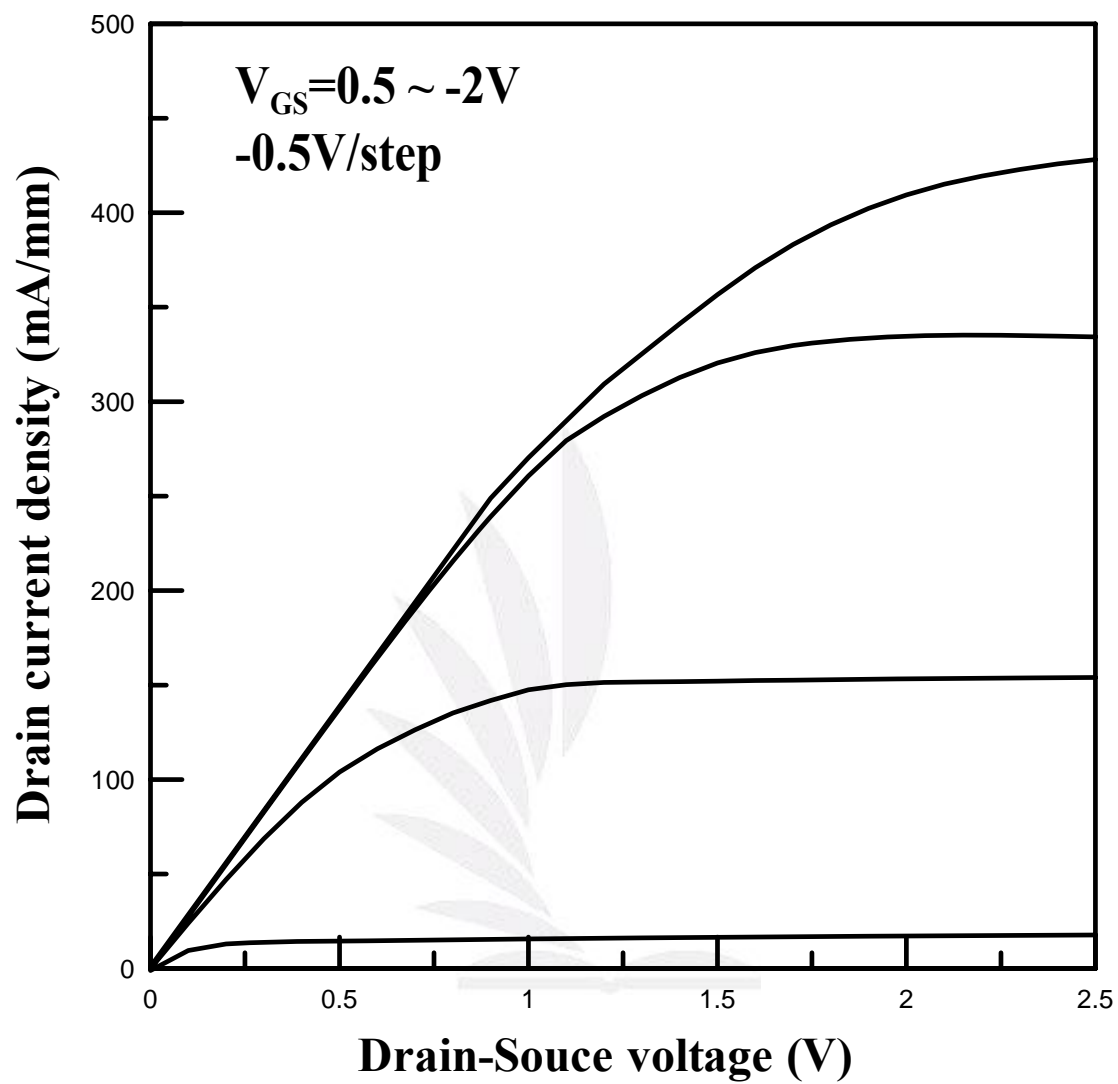


Figure 4-6 Current-Voltage characteristics of Sample C at 300K

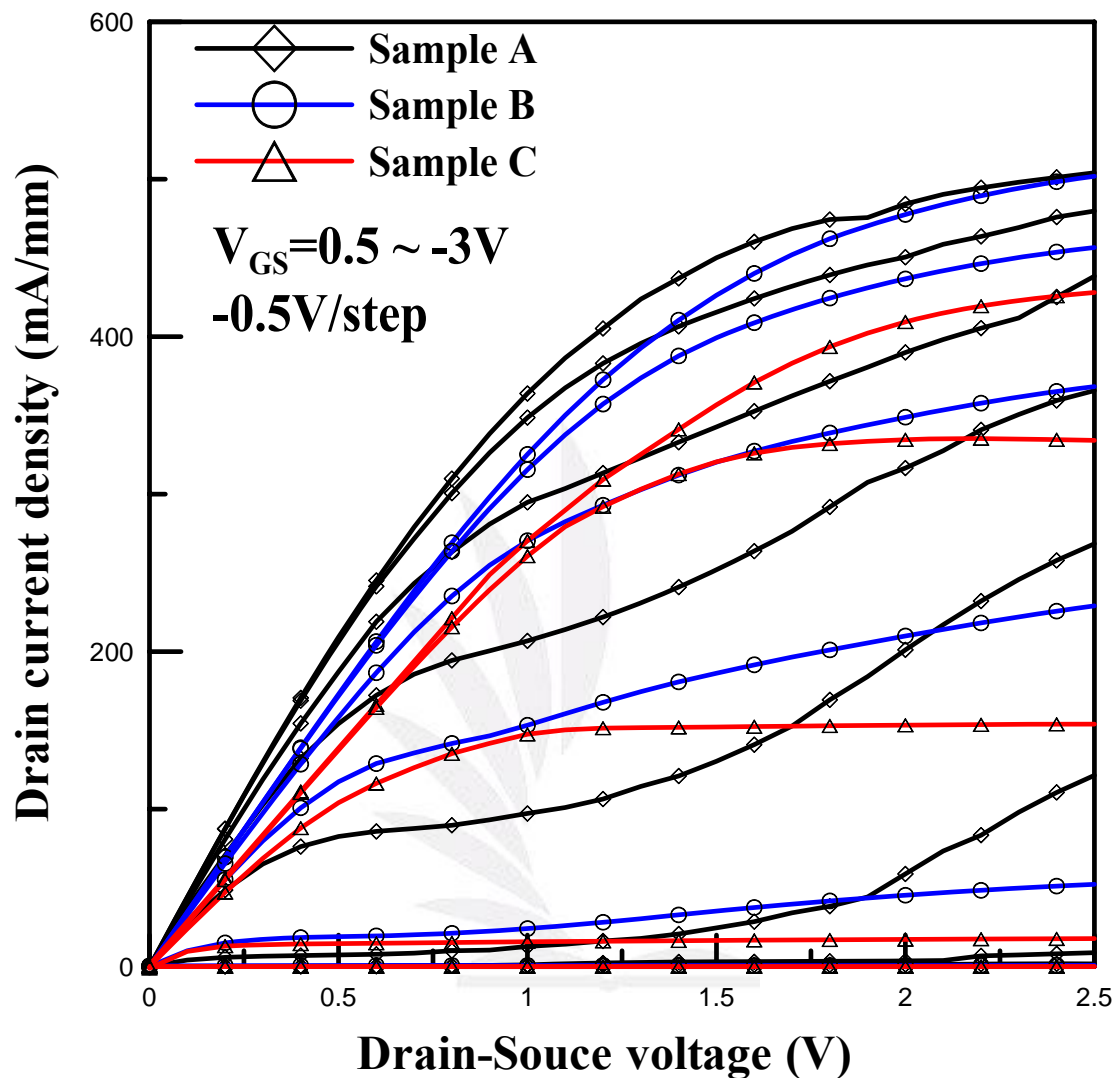


Figure 4-7 Current-Voltage characteristics of our studied InAlAs/InGaAs metamorphic HEMTs at 300K

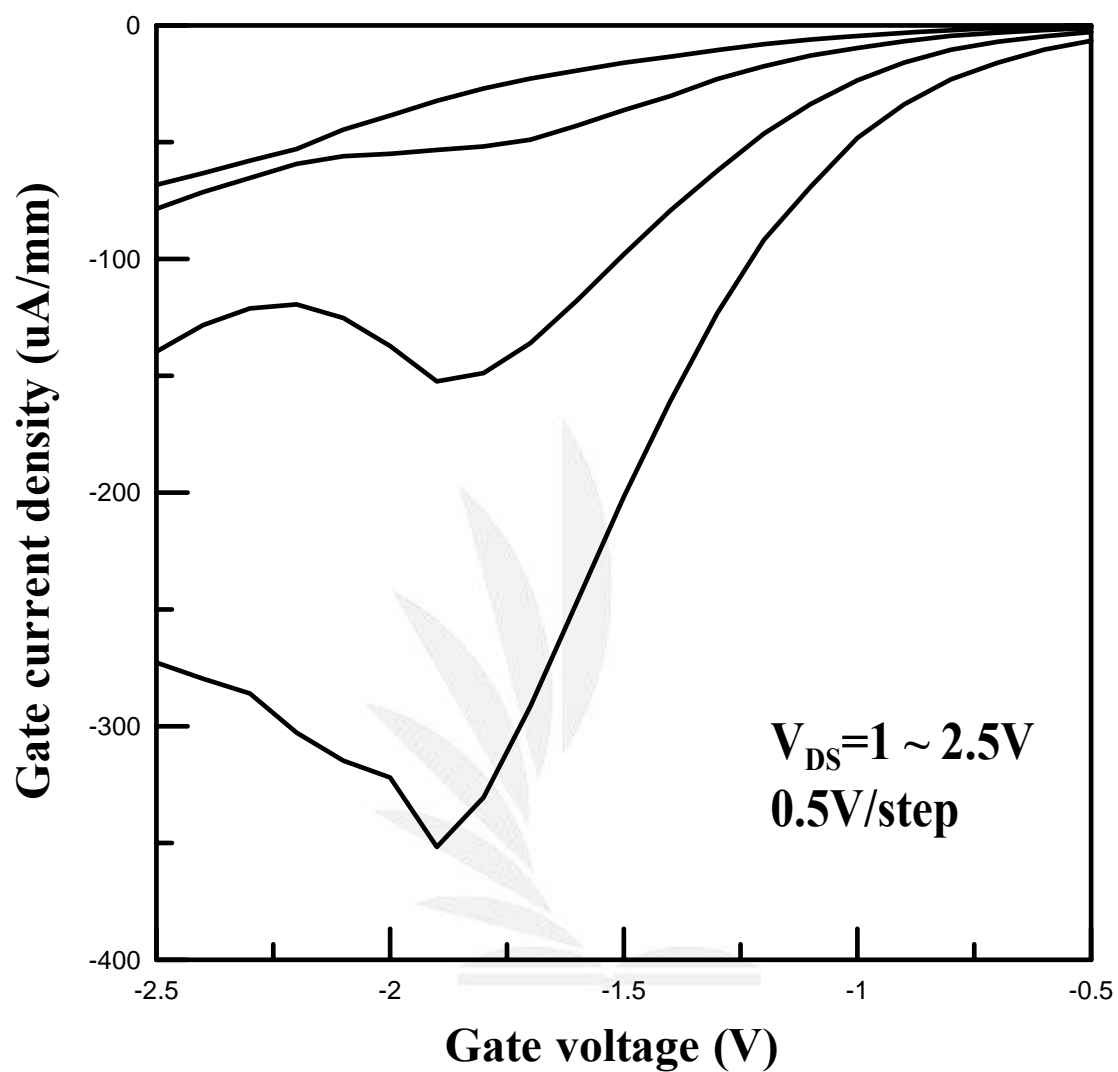


Figure 4-8 Gate current density versus gate voltage at different  $V_{DS}$   
for Sample A at 300K

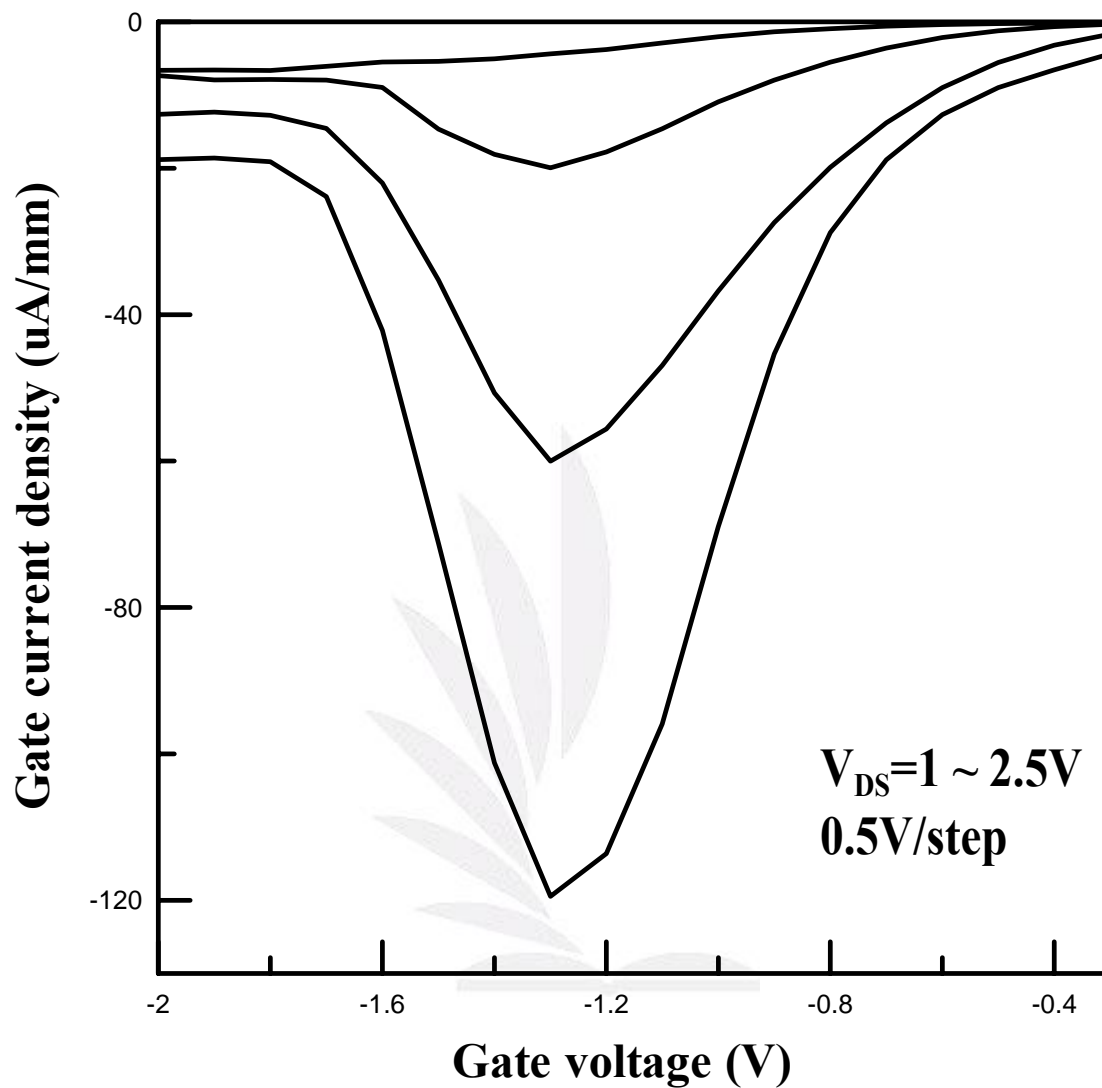


Figure 4-9 Gate current density versus gate voltage at different  $V_{DS}$   
for Sample B at 300K

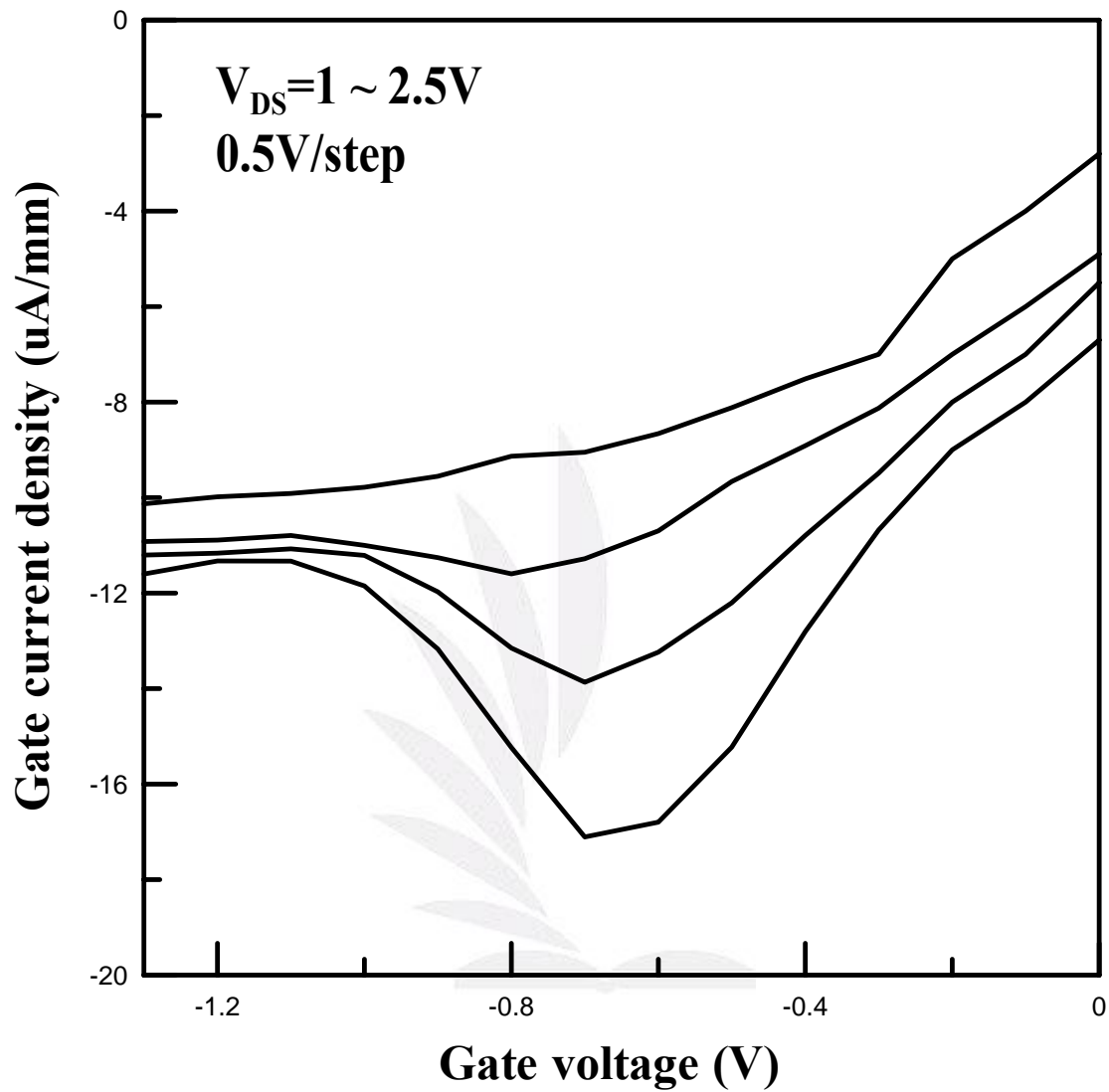


Figure 4-10 Gate current density versus gate voltage at different  $V_{DS}$   
for Sample C at 300K



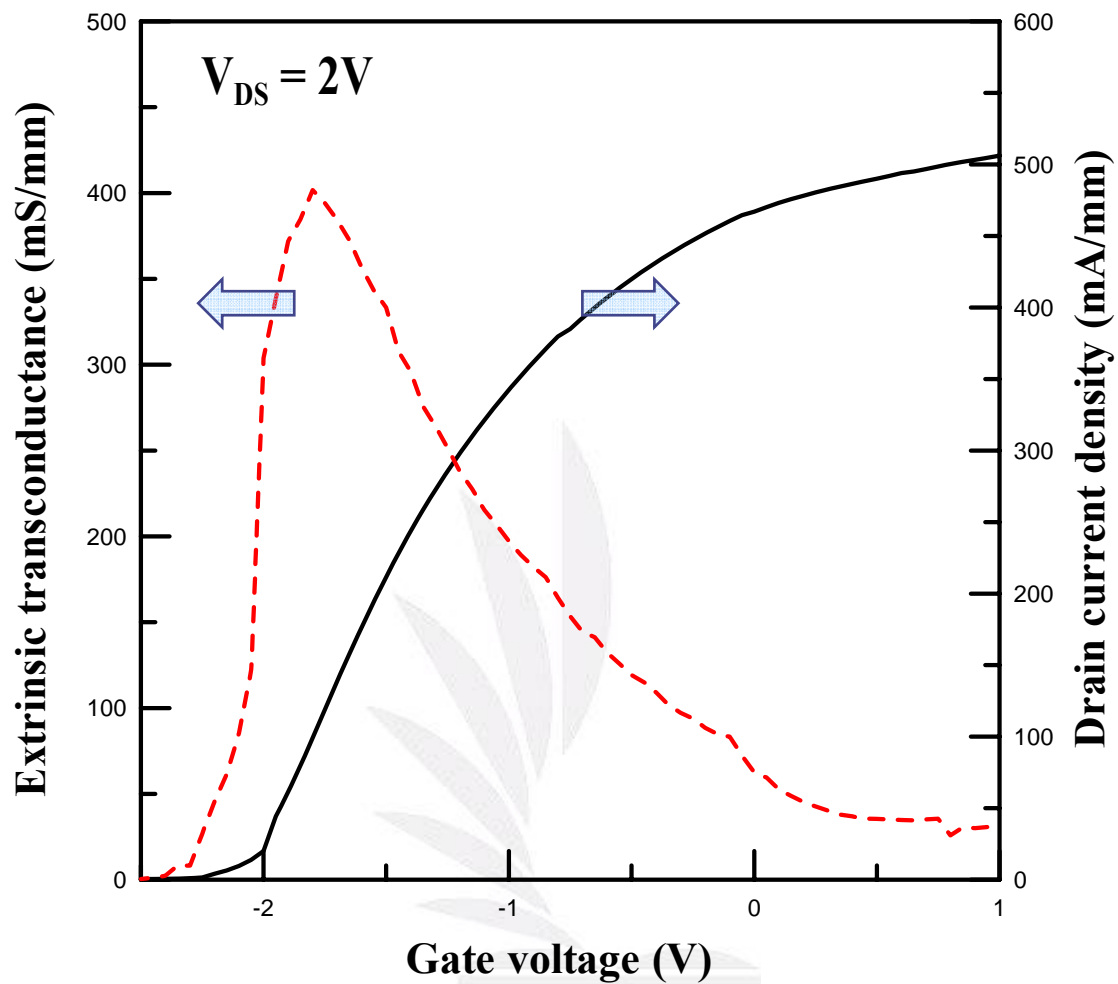


Figure 4-11 Extrinsic transconductance and saturation drain current density of Sample A of  $V_{DS}=2V$  at 300K

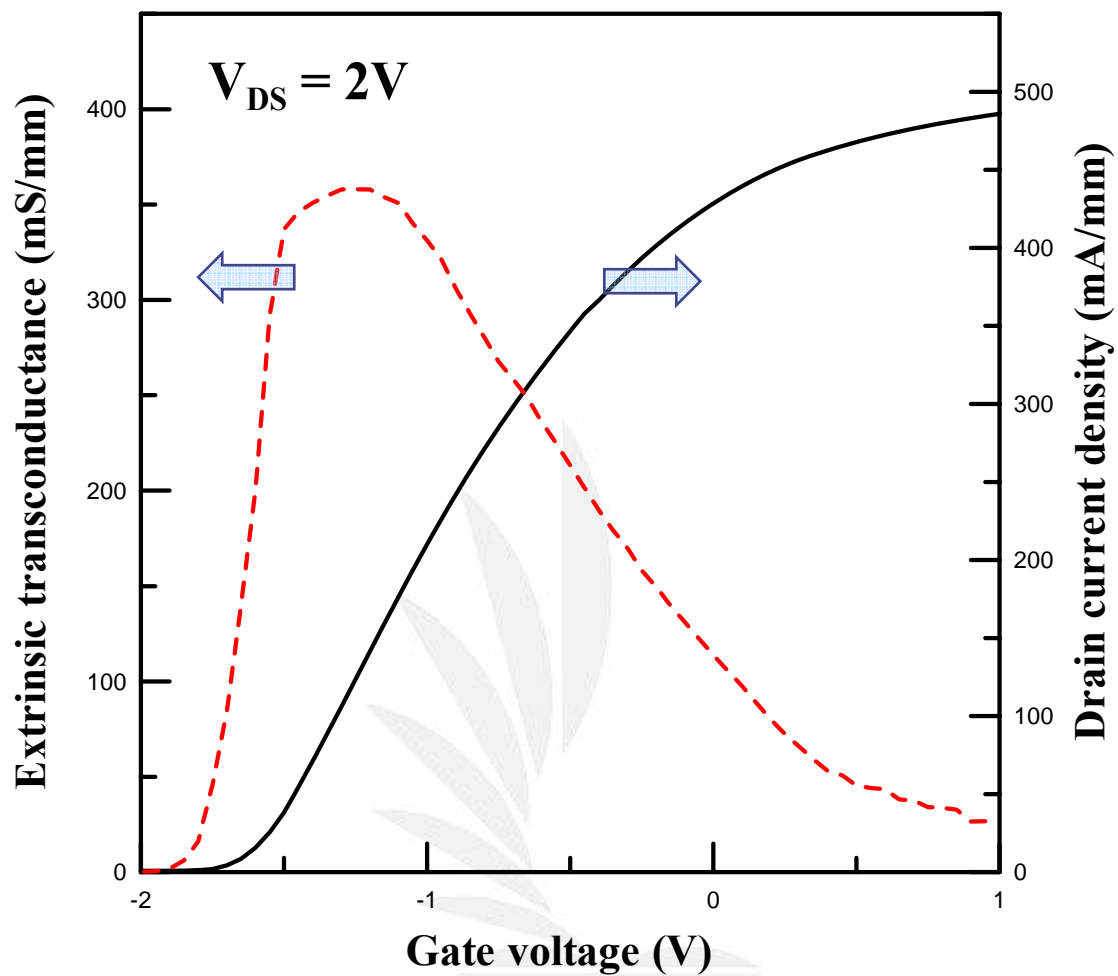


Figure 4-12 Extrinsic transconductance and saturation drain current density of Sample B of  $V_{DS}=2V$  at 300K

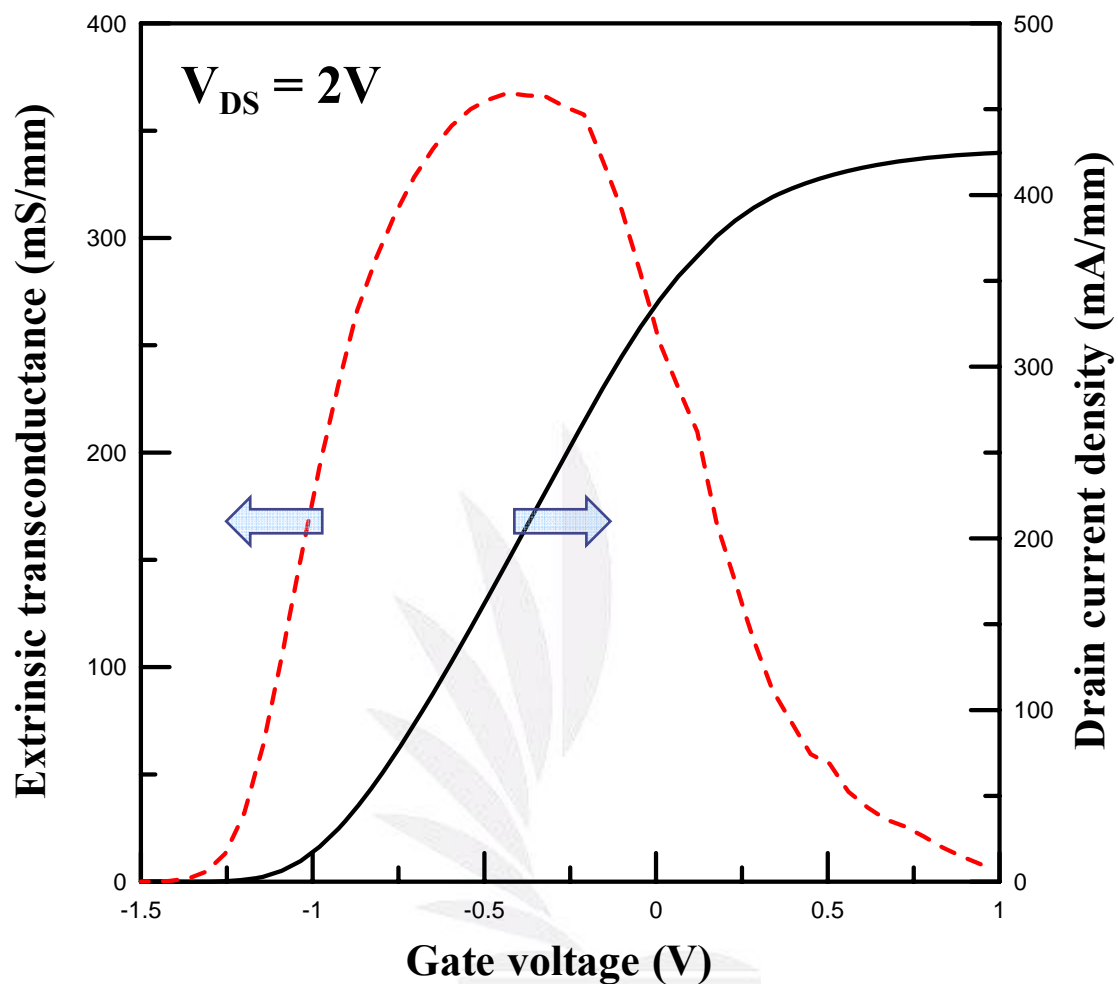


Figure 4-13 Extrinsic transconductance and saturation drain current density of Sample C of  $V_{DS}=2V$  at 300K

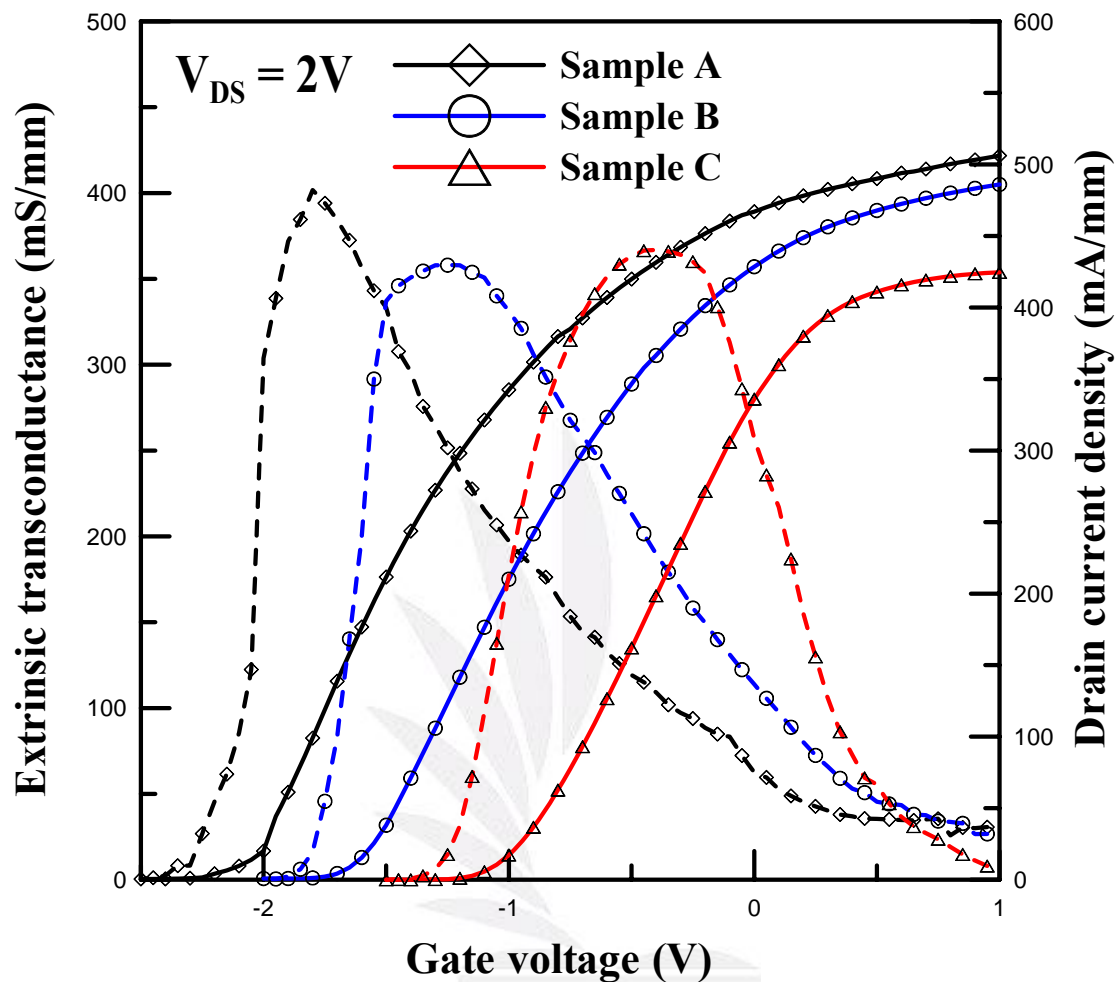


Figure 4-14 Extrinsic transconductance and saturation drain current density of our studied InAlAs/InGaAs metamorphic HEMTs at 300K

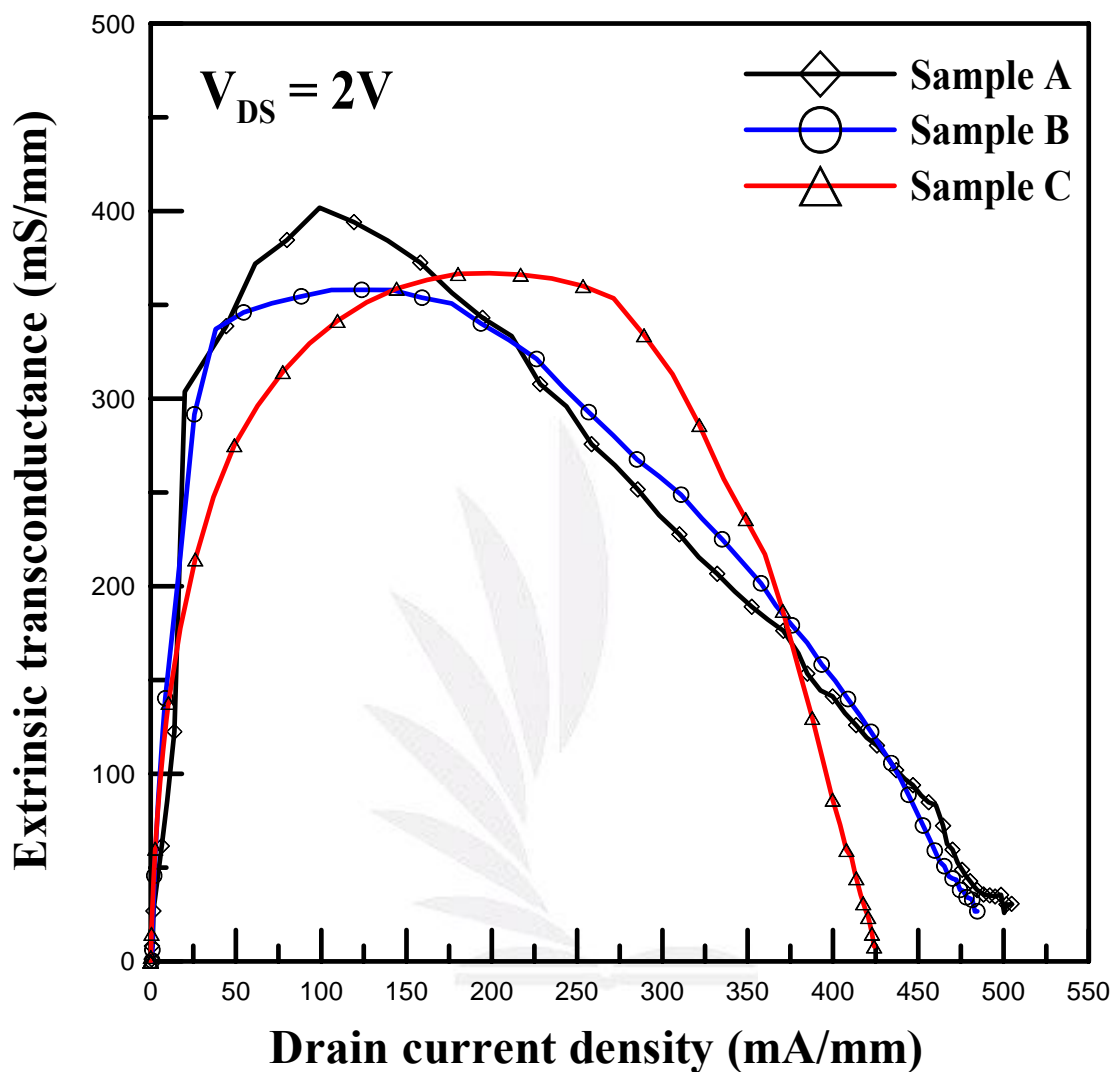


Figure 4-15 Extrinsic transconductance as a function of the drain current density of our studied InAlAs/InGaAs metamorphic HEMTs at 300K

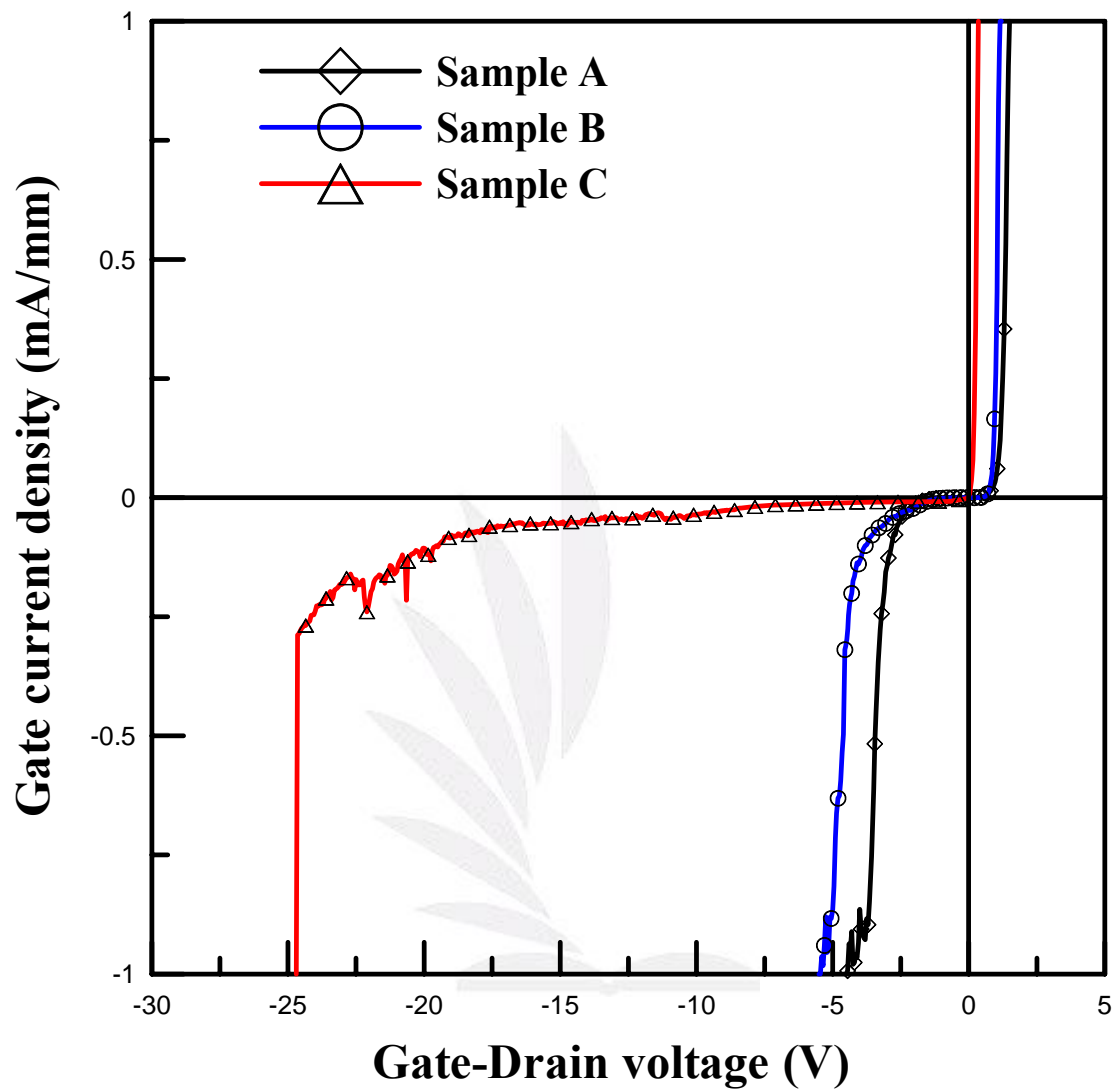


Figure 4-16 Breakdown voltage of our studied InAlAs/InGaAs metamorphic HEMTs at 300K

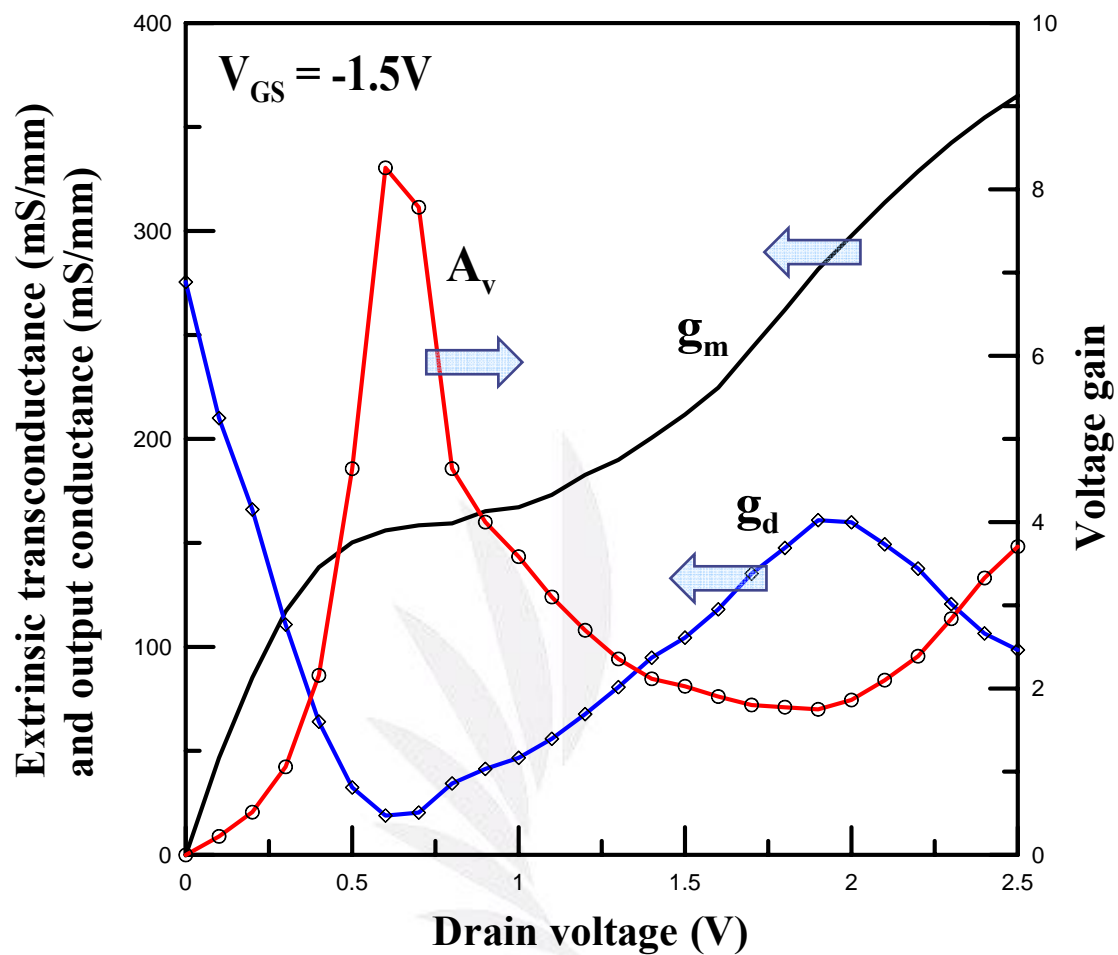


Figure 4-17 The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample A.

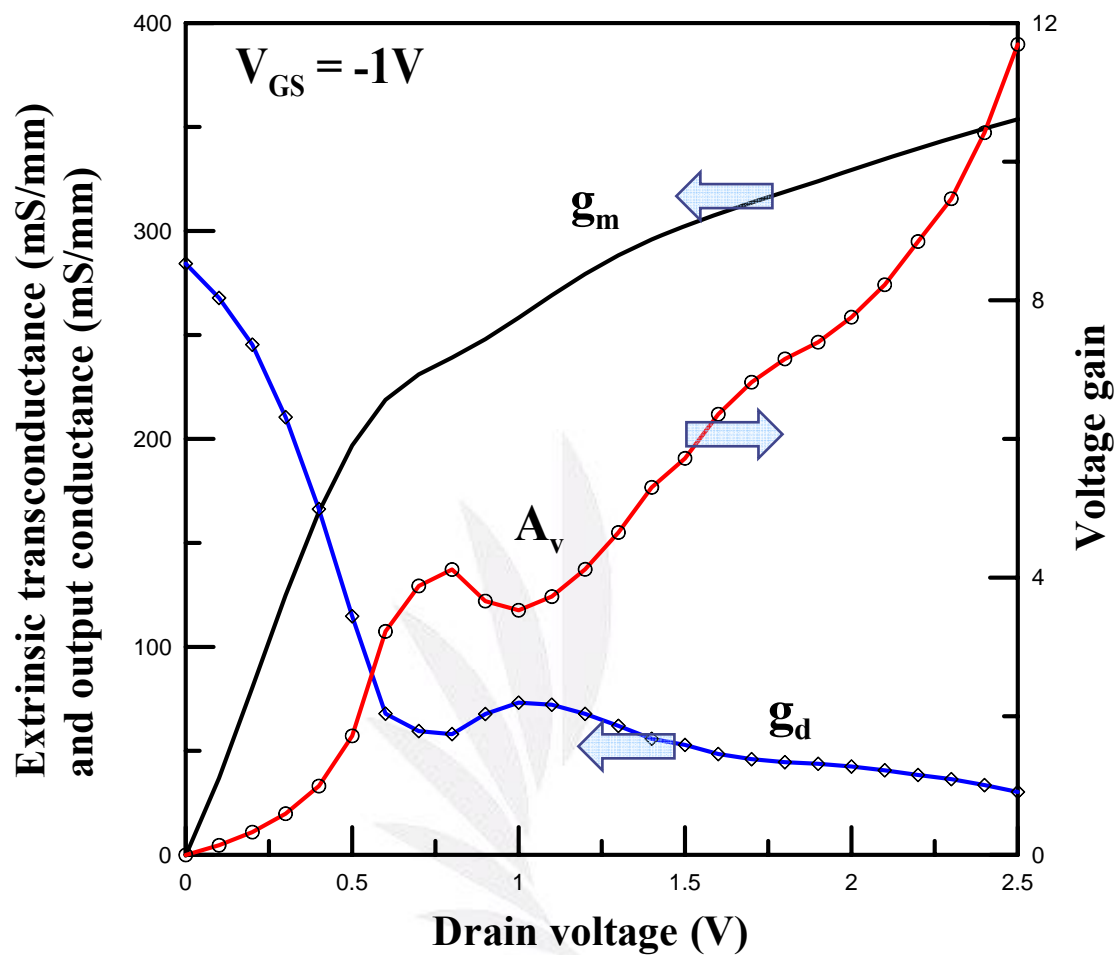


Figure 4-18 The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample B.



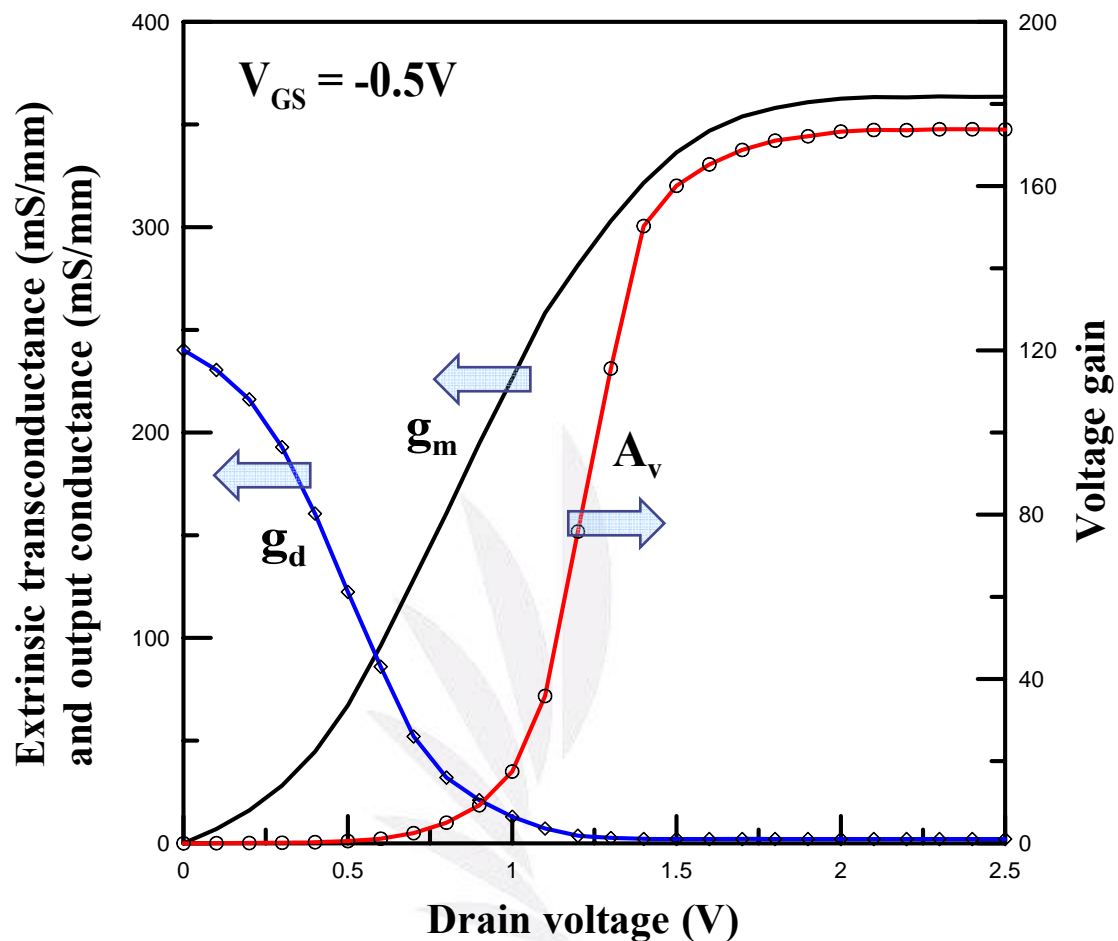


Figure 4-19 The extrinsic transconductance, output conductance and voltage gain characteristics versus drain voltage for Sample C.

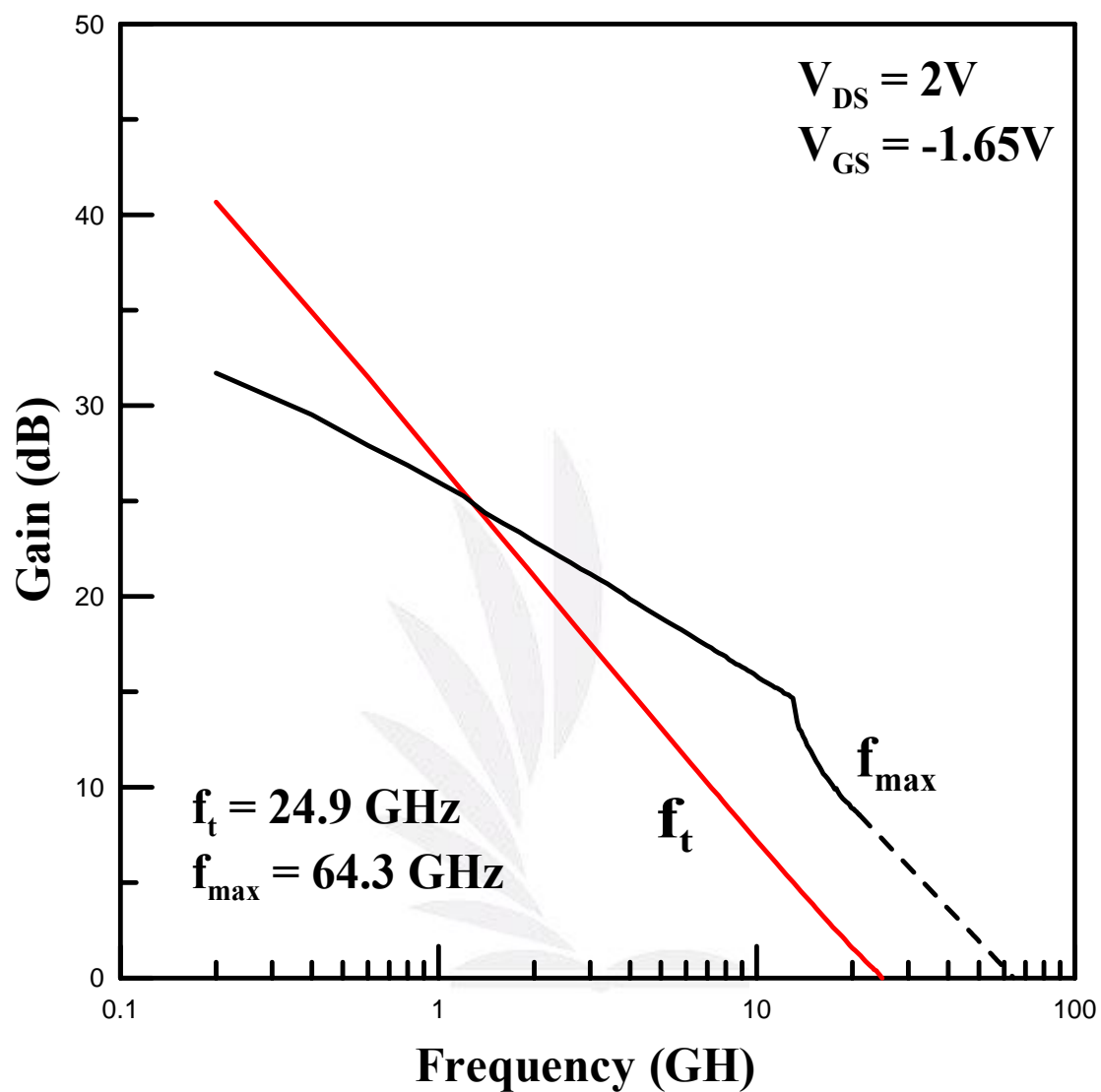


Figure 4-20 RF characteristics of Sample A at  $V_{DS} = 2V$ ,  $V_{GS} = -1.65V$  for gate dimension =  $1.2 \times 200 \mu m^2$

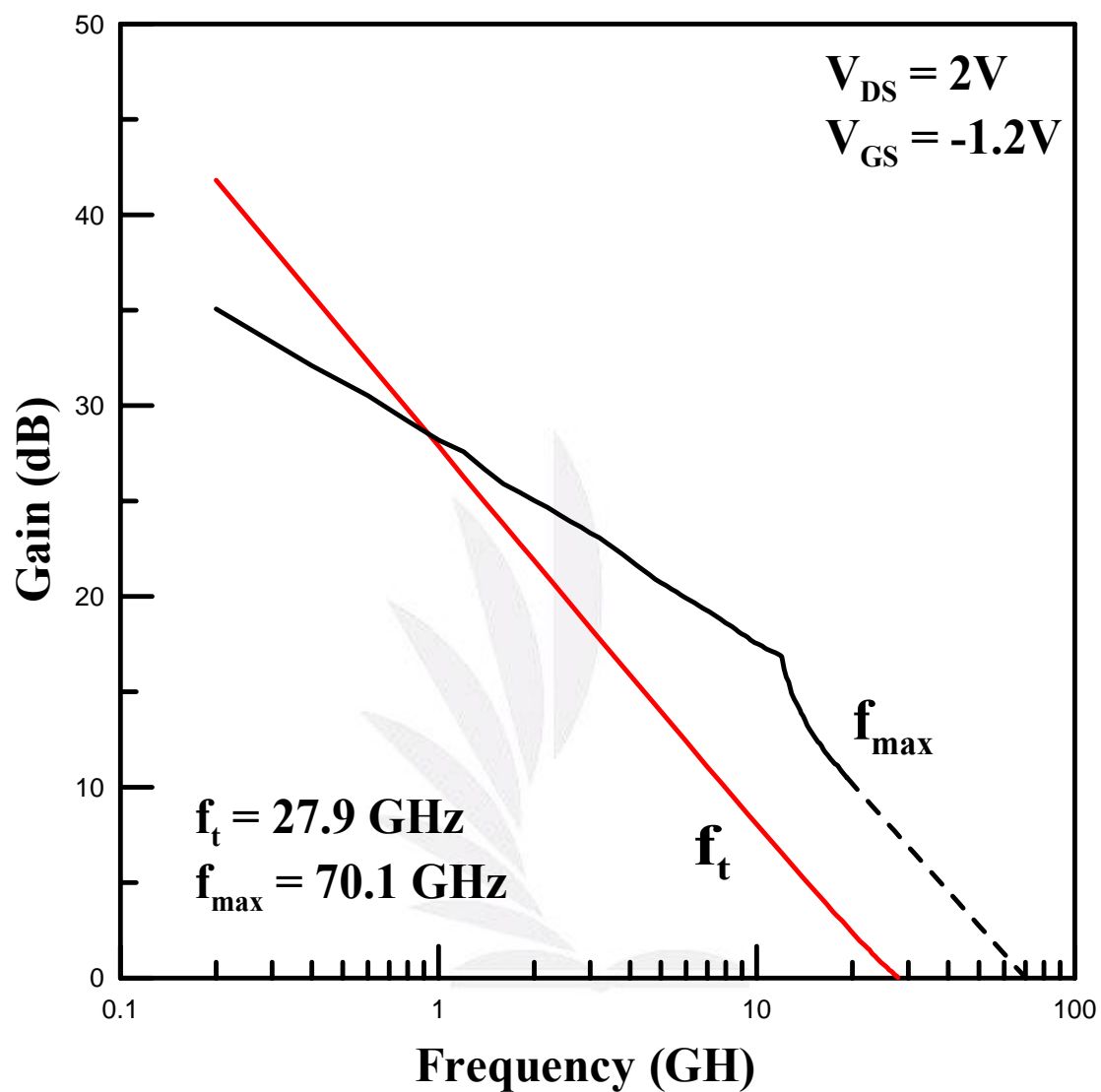


Figure 4-21 RF characteristics of Sample B at  $V_{DS} = 2V$ ,  $V_{GS} = -1.2V$  for gate dimension =  $1.2 \times 200 \mu m^2$

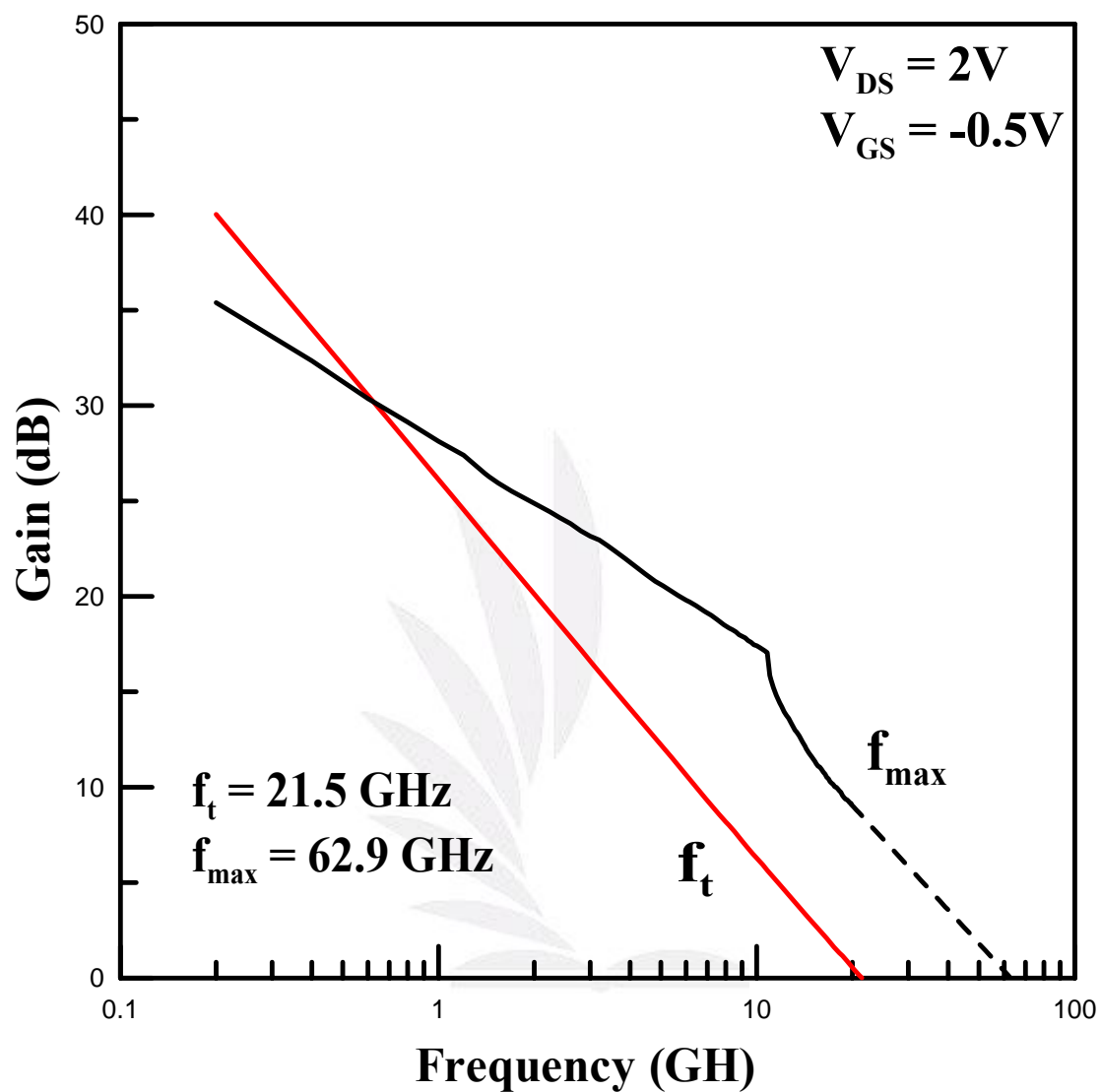


Figure 4-22 RF characteristics of Sample C at  $V_{DS} = 2V$ ,  $V_{GS} = -0.5V$  for gate dimension =  $1.2 \times 200 \mu m^2$

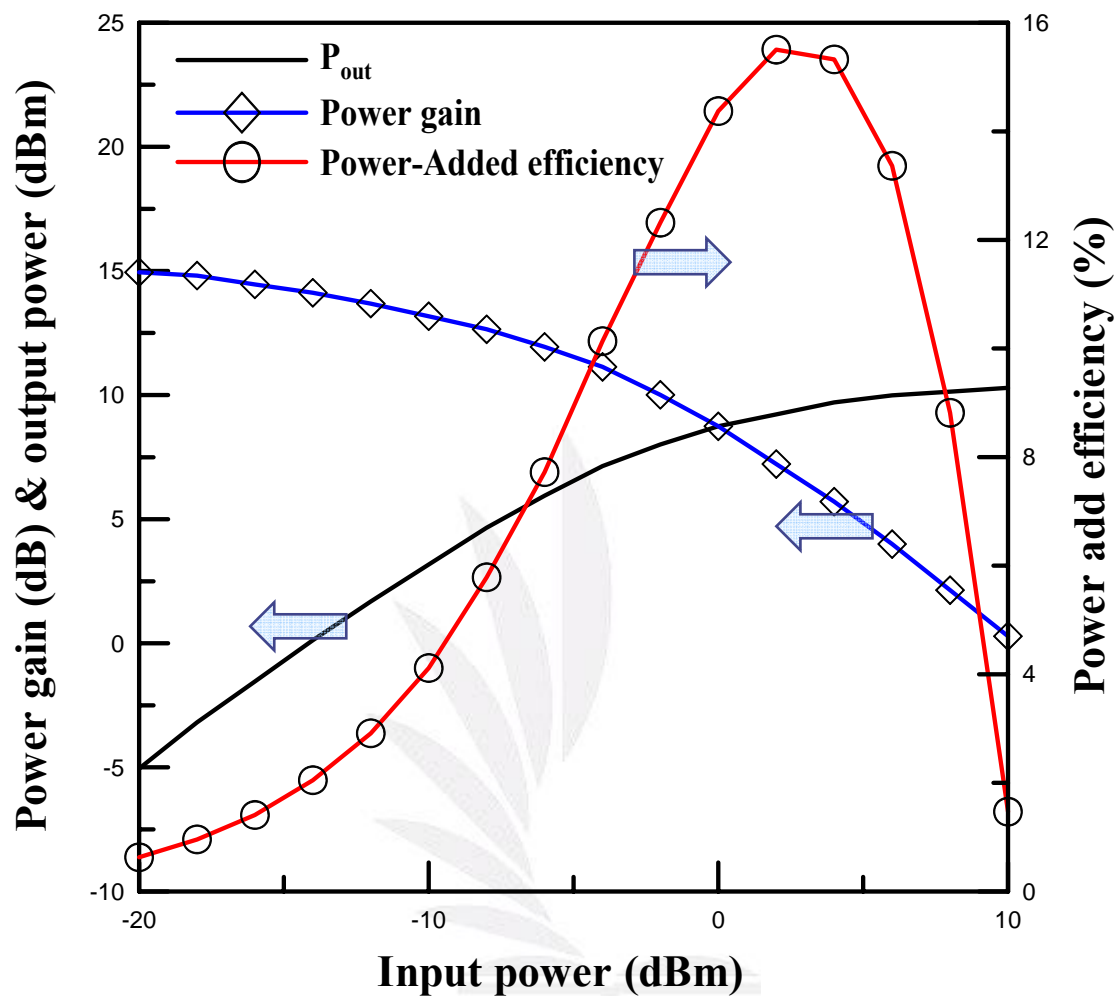


Figure 4-23 The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample A.

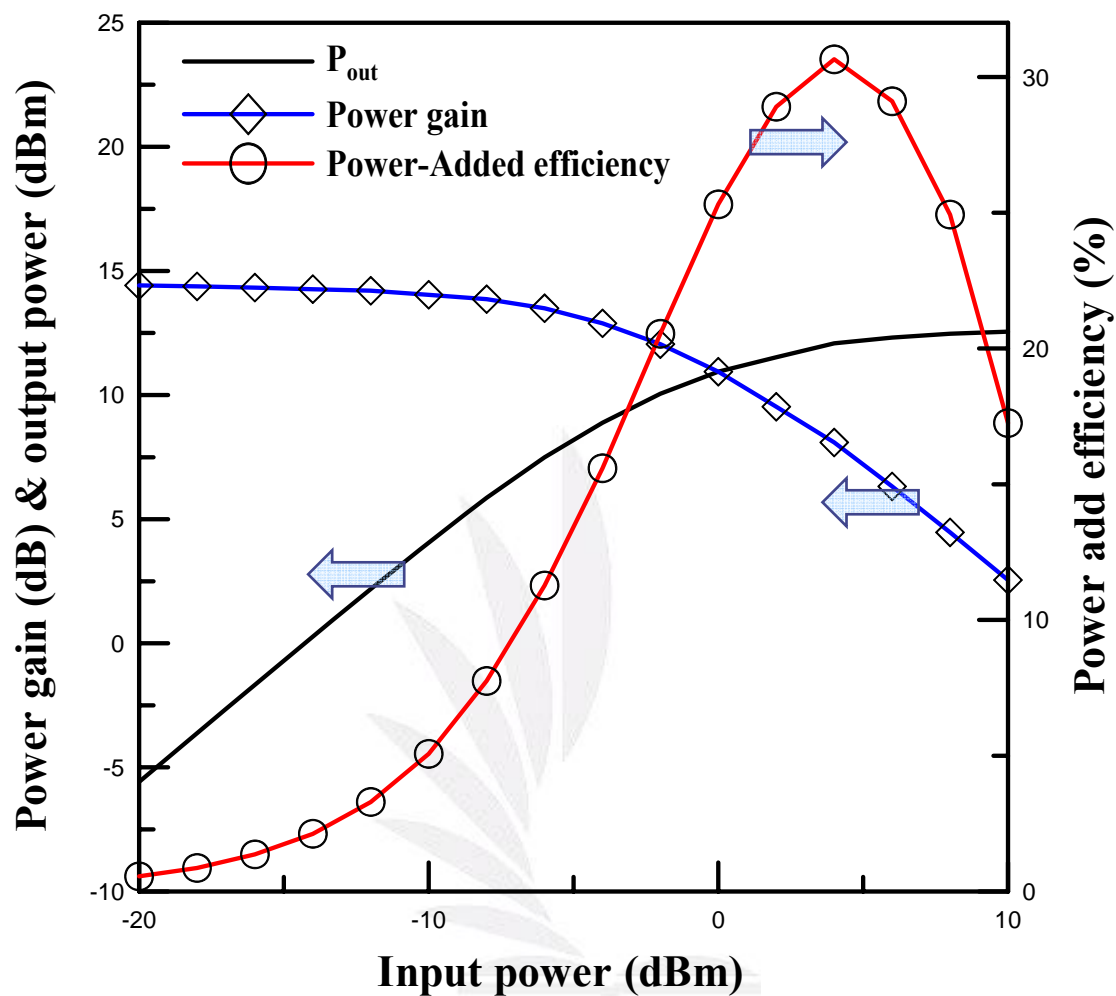


Figure 4-24 The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample B.

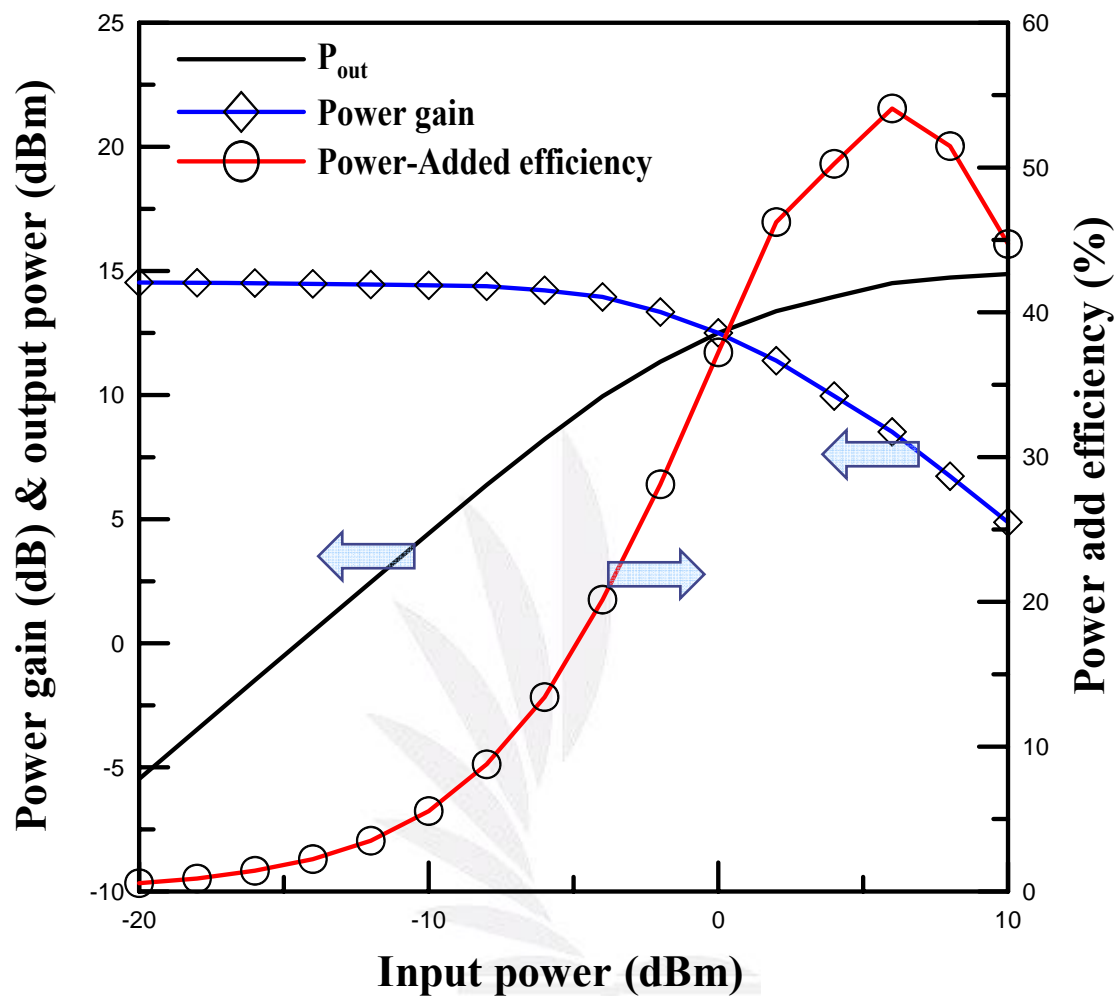


Figure 4-25 The output power, power gain and power added efficiency (PAE) characteristics versus input power at 2.4 GHz for Sample C.

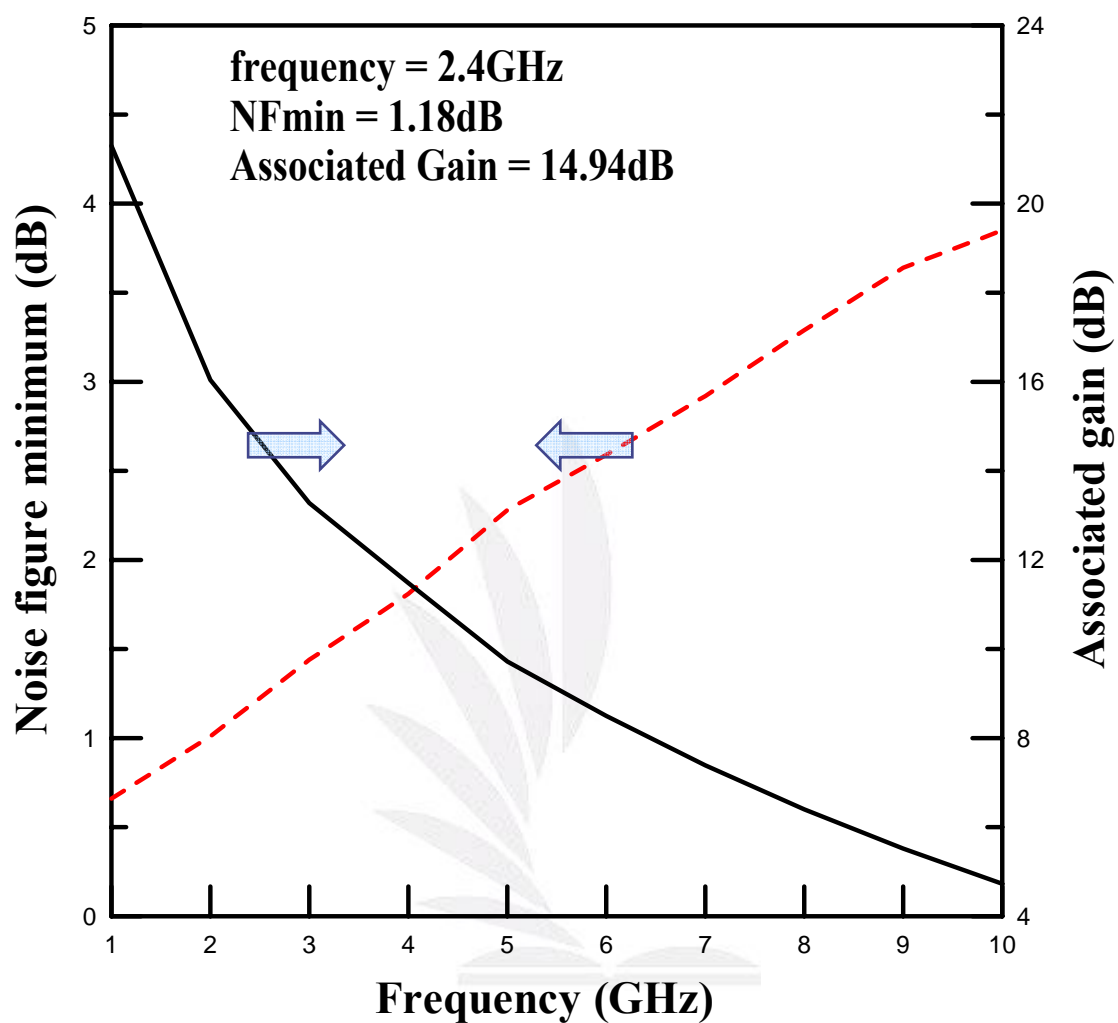


Figure 4-26 The minimum noise figure ( $NF_{min}$ ) and the associated gain characteristics versus frequency for Sample A.



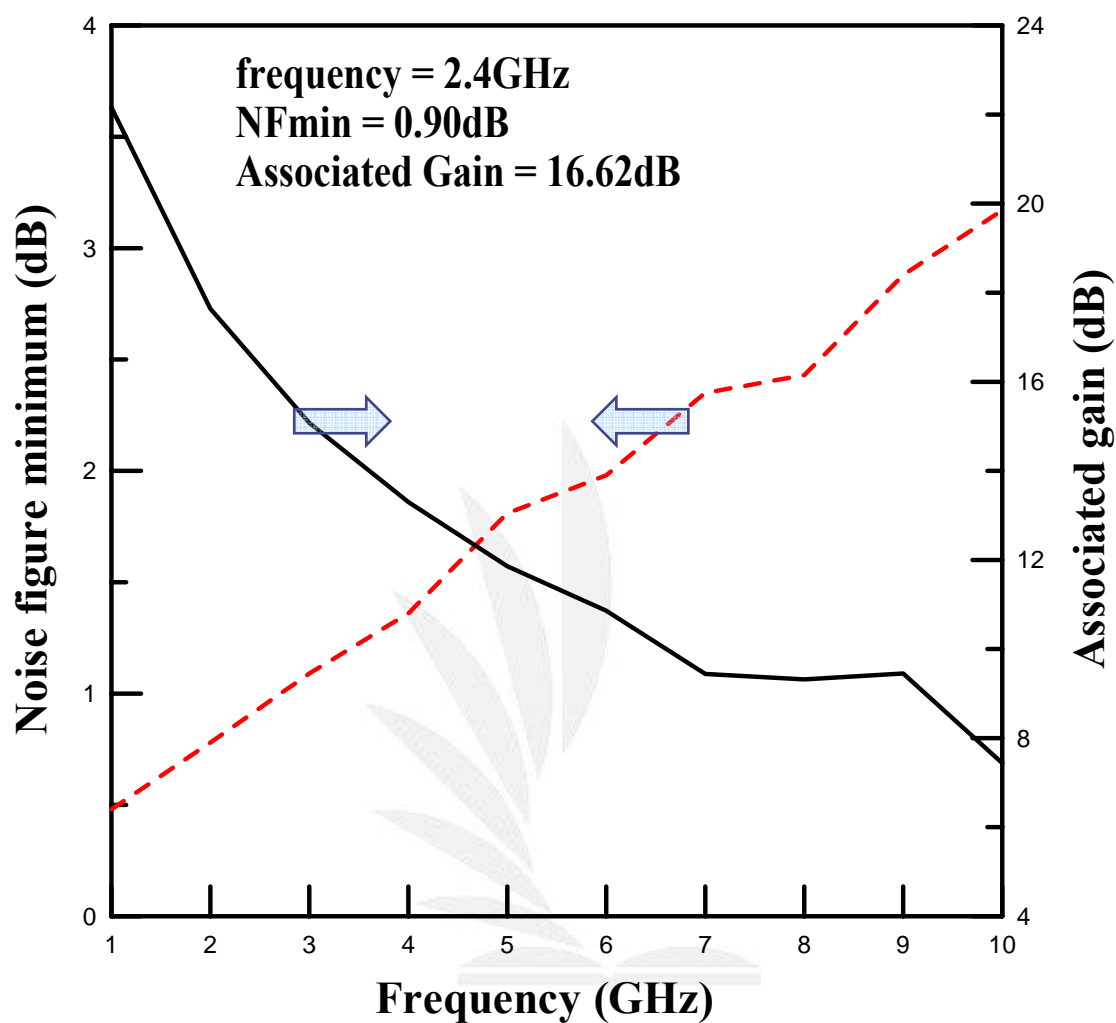


Figure 4-27 The minimum noise figure ( $NF_{\min}$ ) and the associated gain characteristics versus frequency for Sample B.

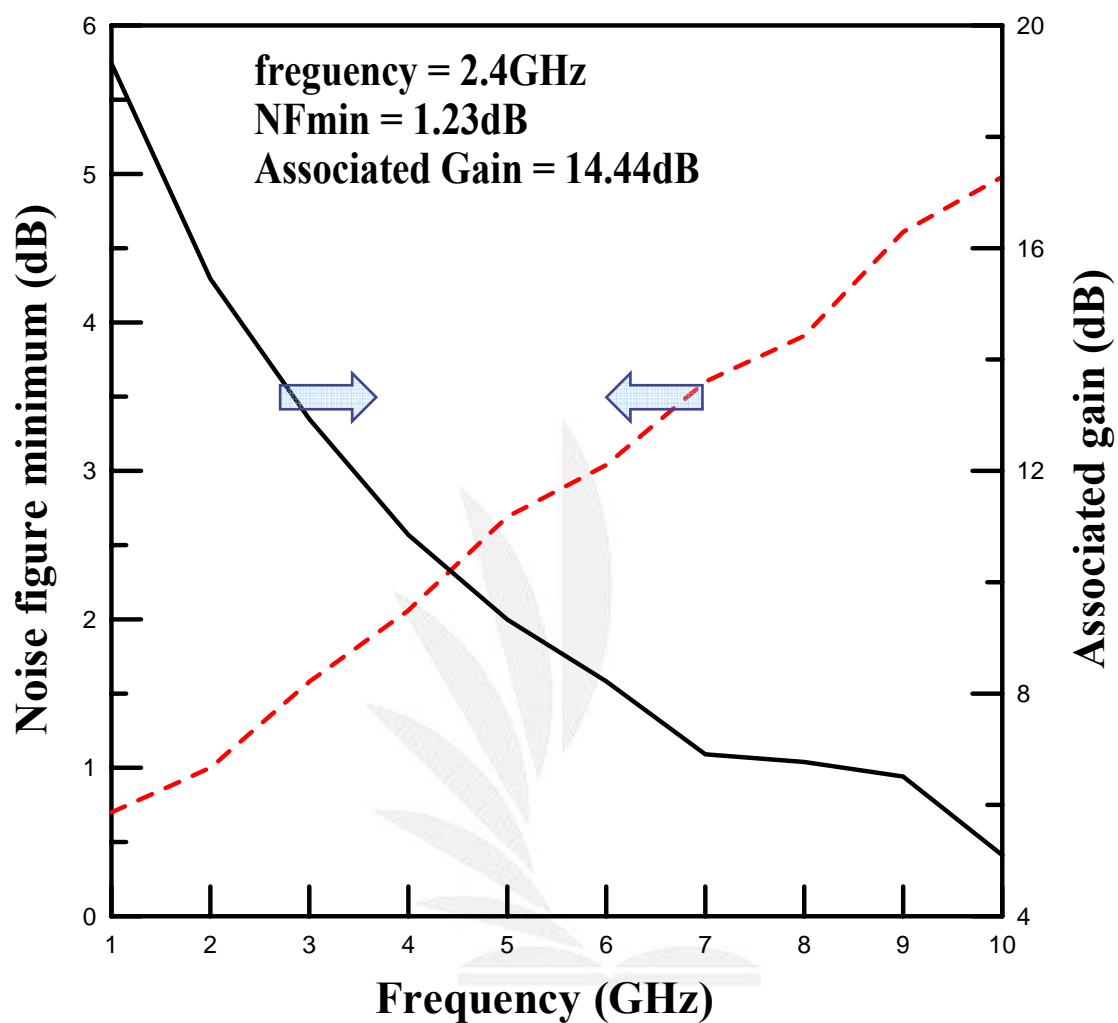


Figure 4-28 The minimum noise figure ( $NF_{min}$ ) and the associated gain characteristics versus frequency for Sample C.

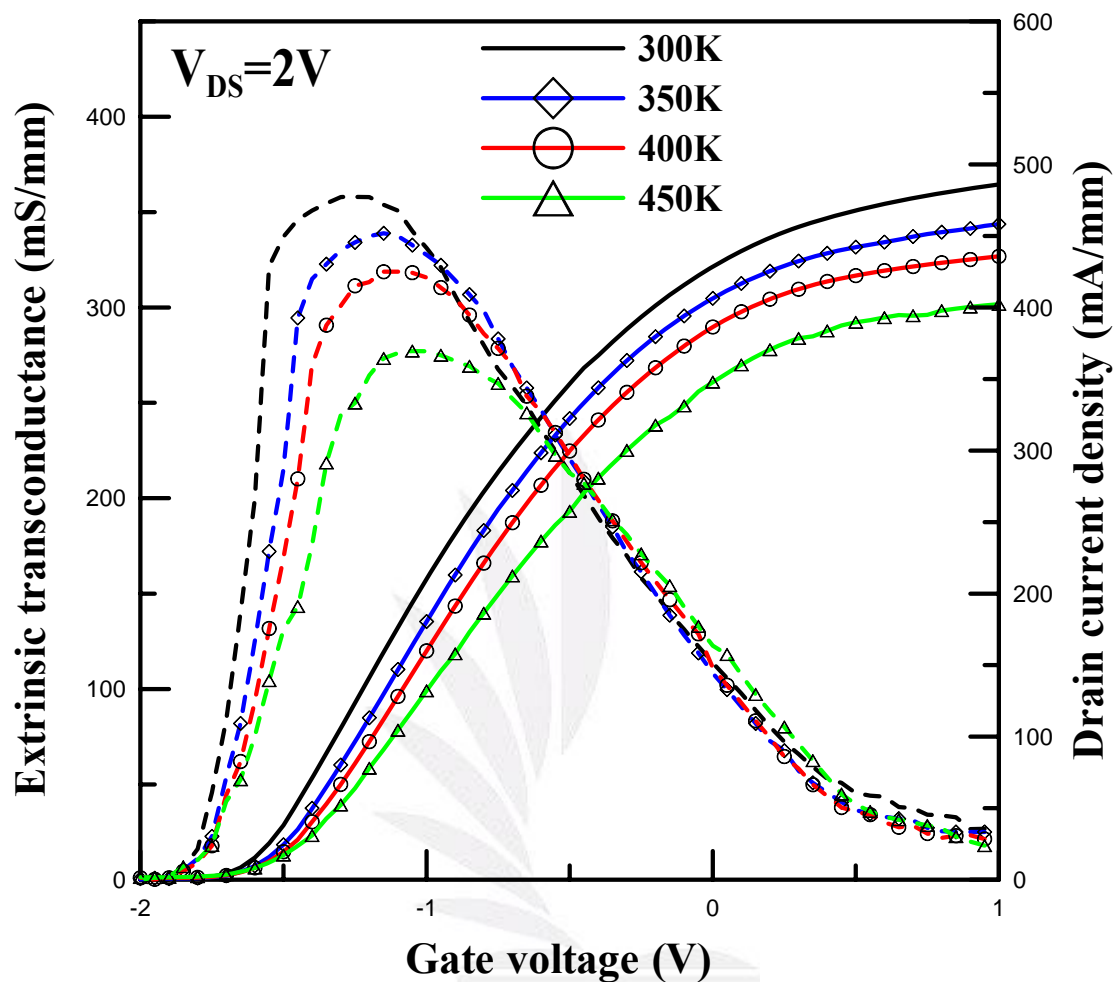


Figure 4-29 Extrinsic transconductance and saturation drain current density of Sample B from 300K to 450K.

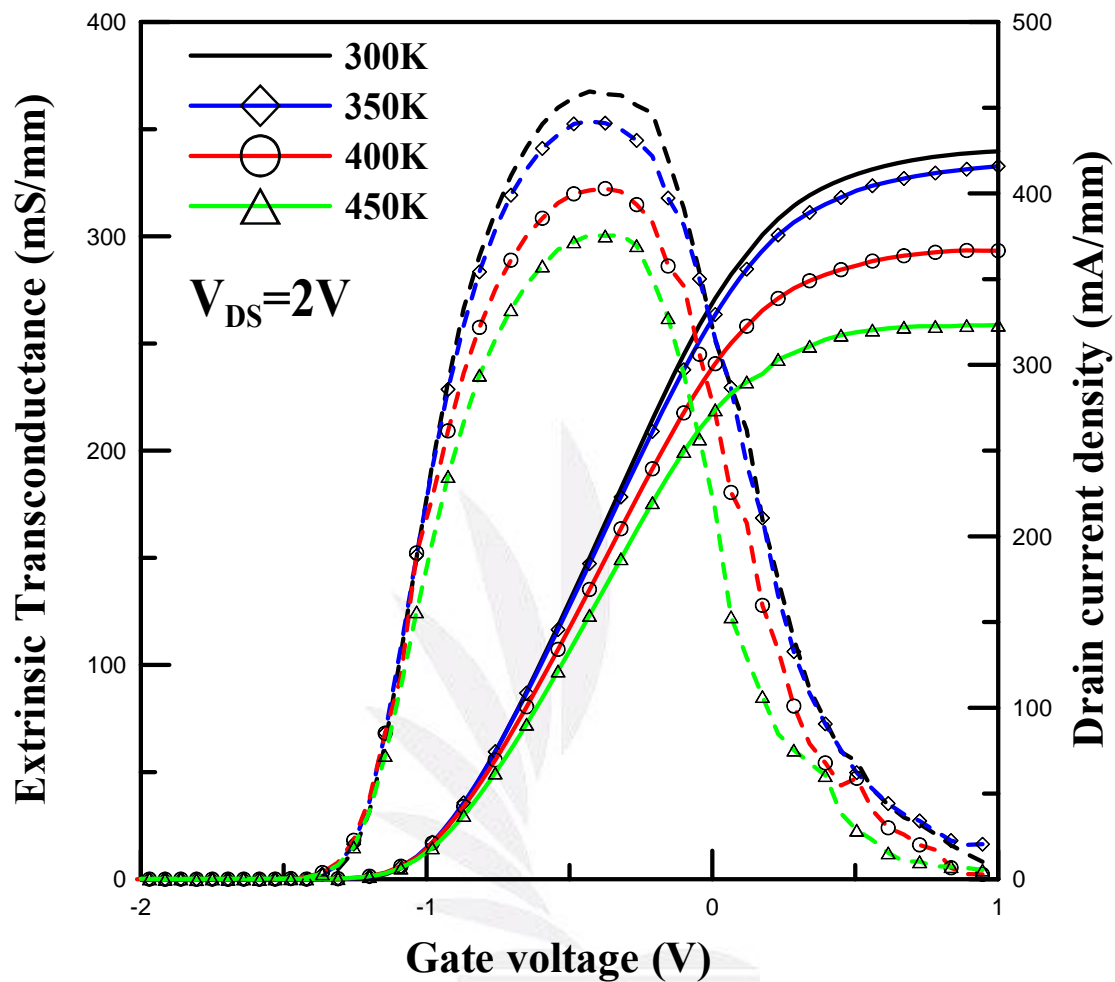


Figure 4-30 Extrinsic transconductance and saturation drain current density of Sample C from 300K to 450K.

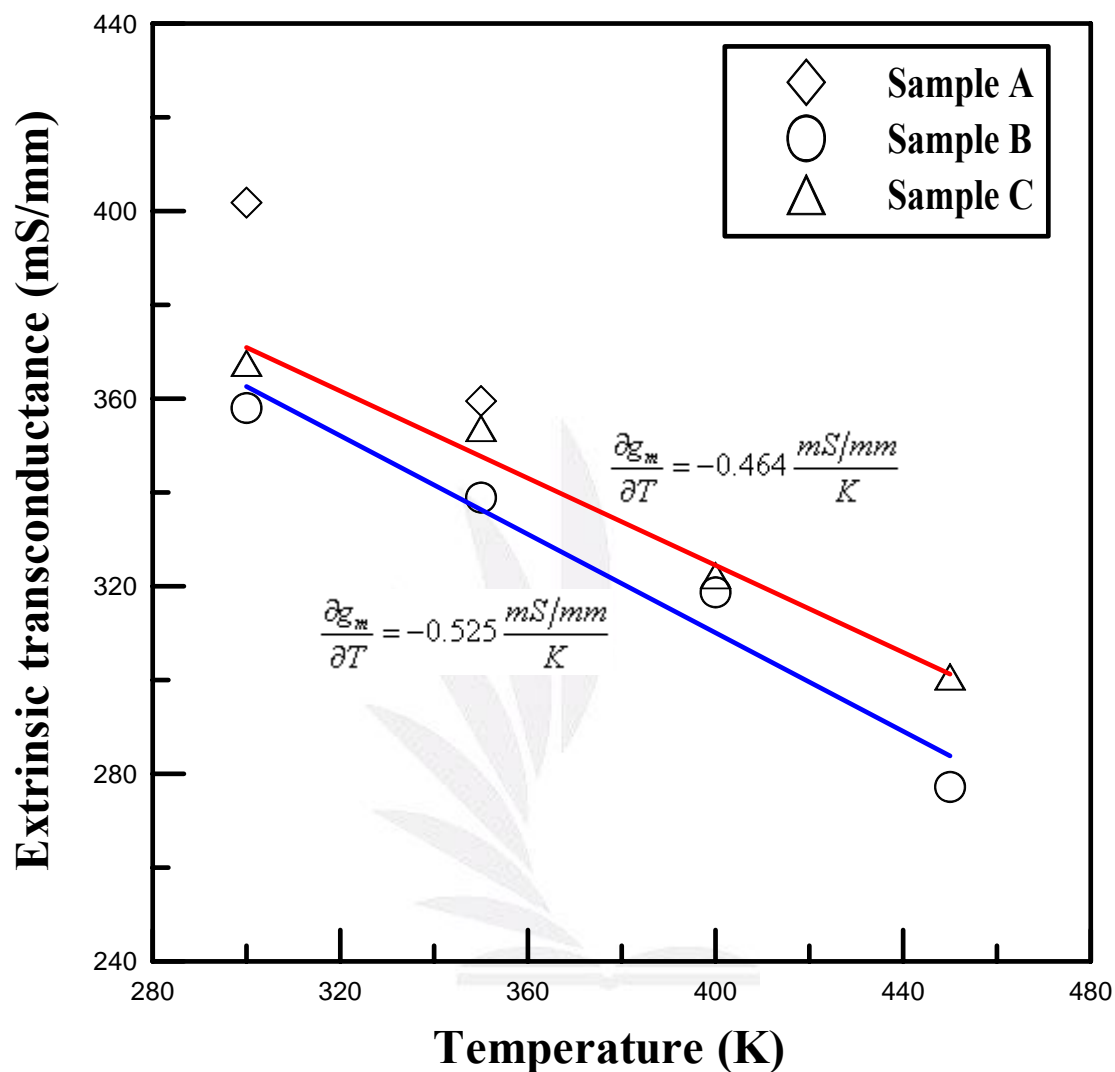


Figure 4-31 The relationships between the extrinsic transconductance and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.

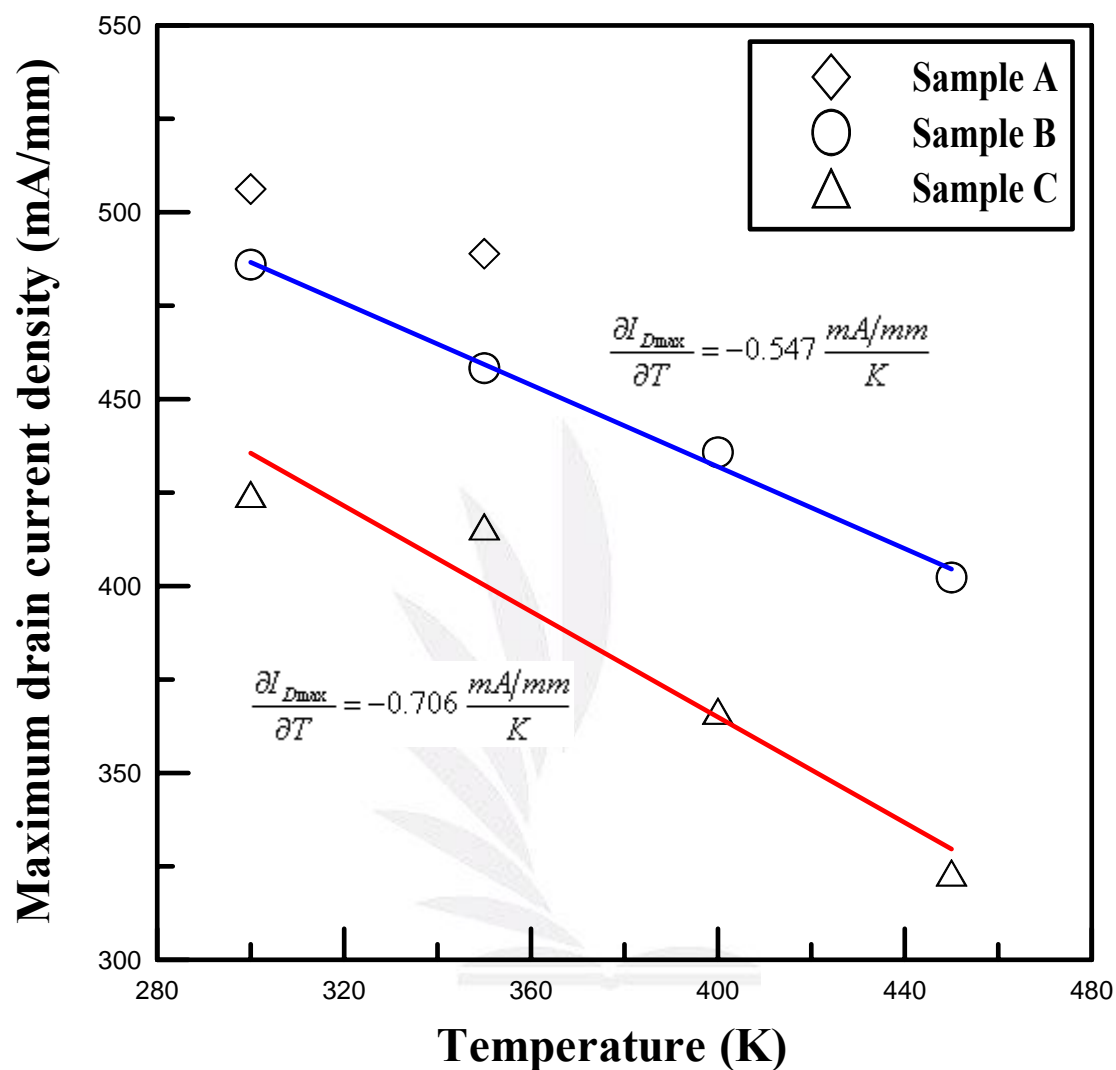


Figure 4-32 The relationships between the maximum drain current density and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.

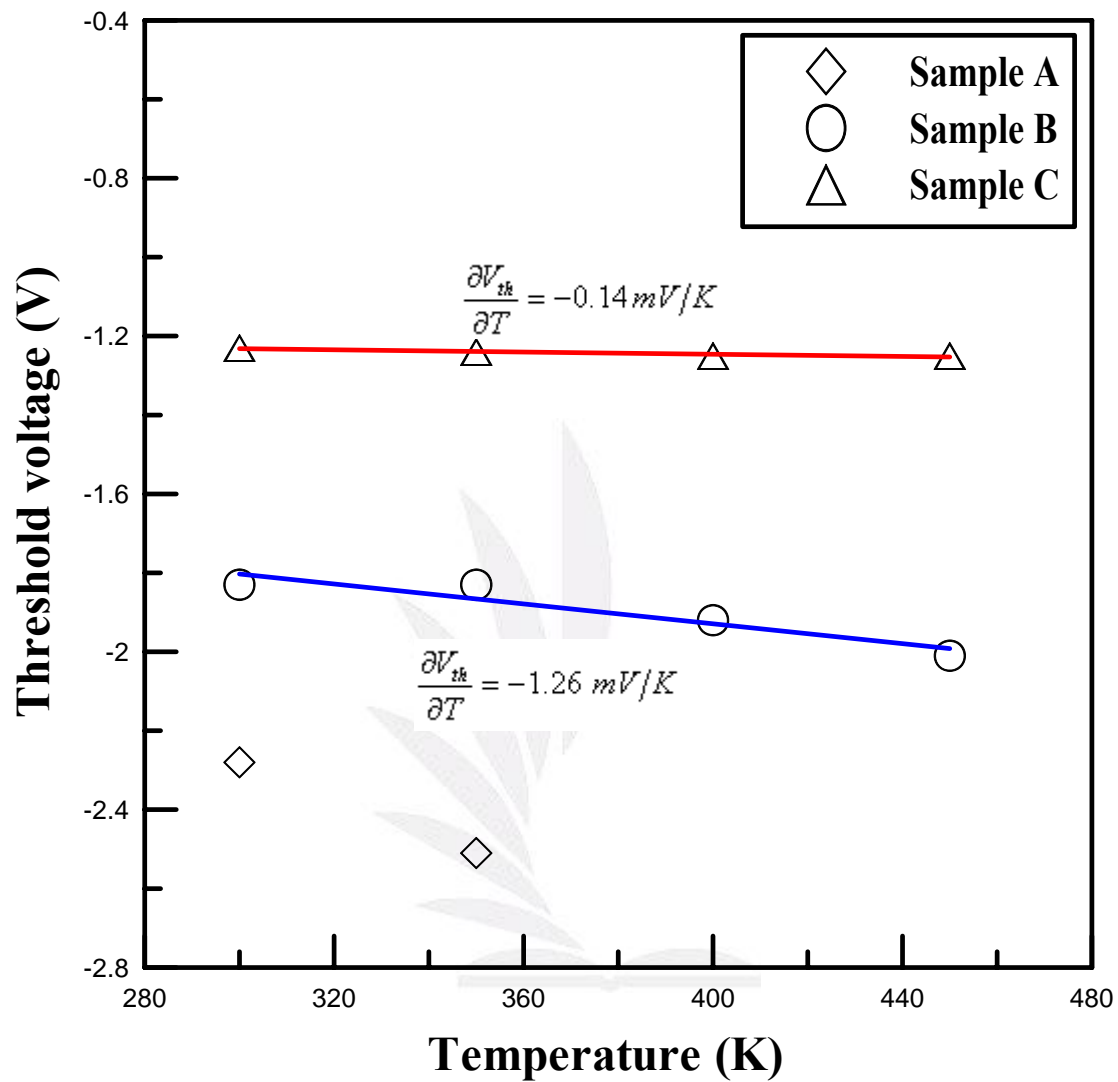


Figure 4-33 The relationships between the threshold voltage and temperature of our studied InAlAs/InGaAs metamorphic HEMTs.

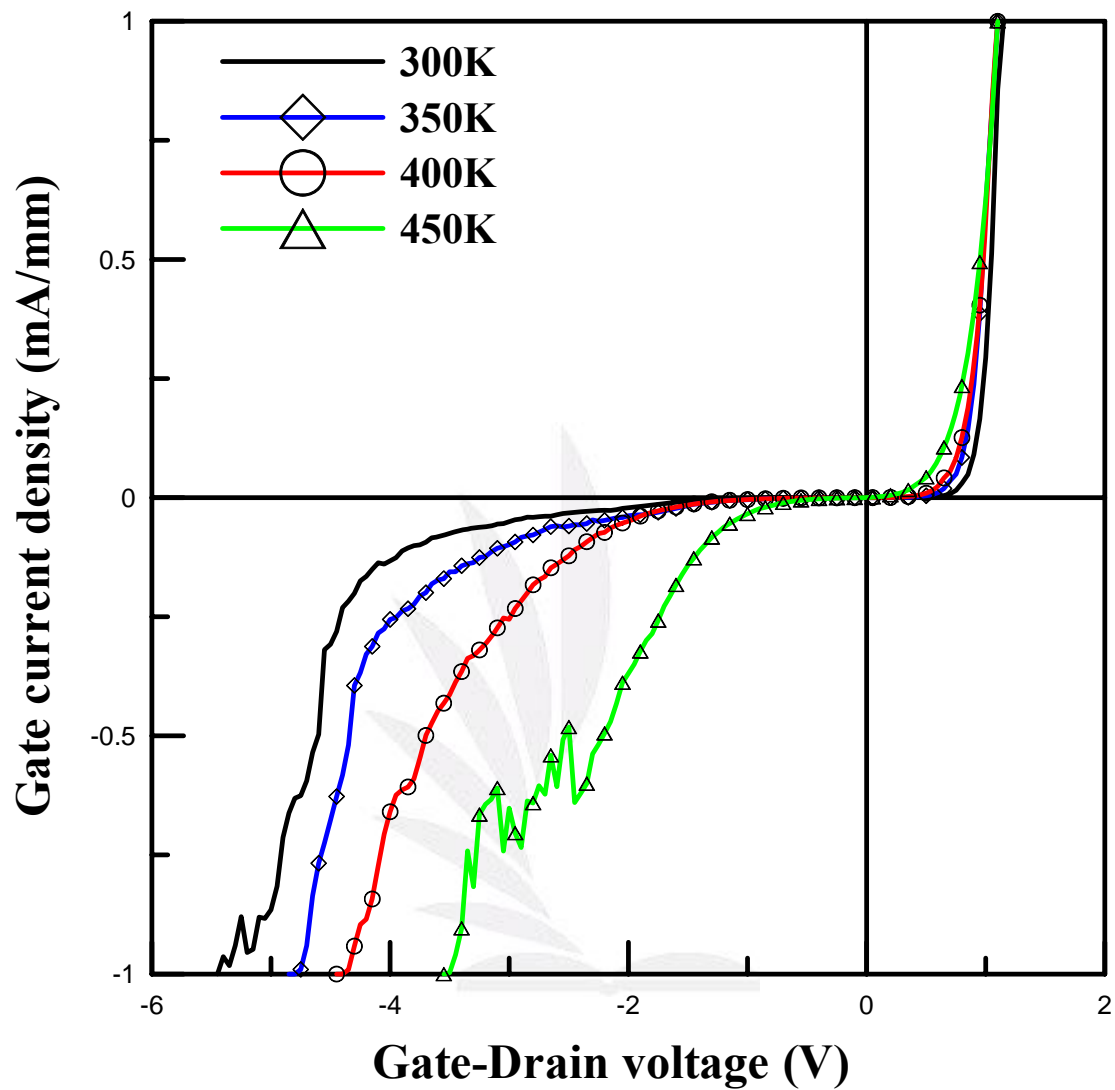


Figure 4-34 Two-terminal gate-drain breakdown voltage characteristics of Sample B from 300K to 450K.



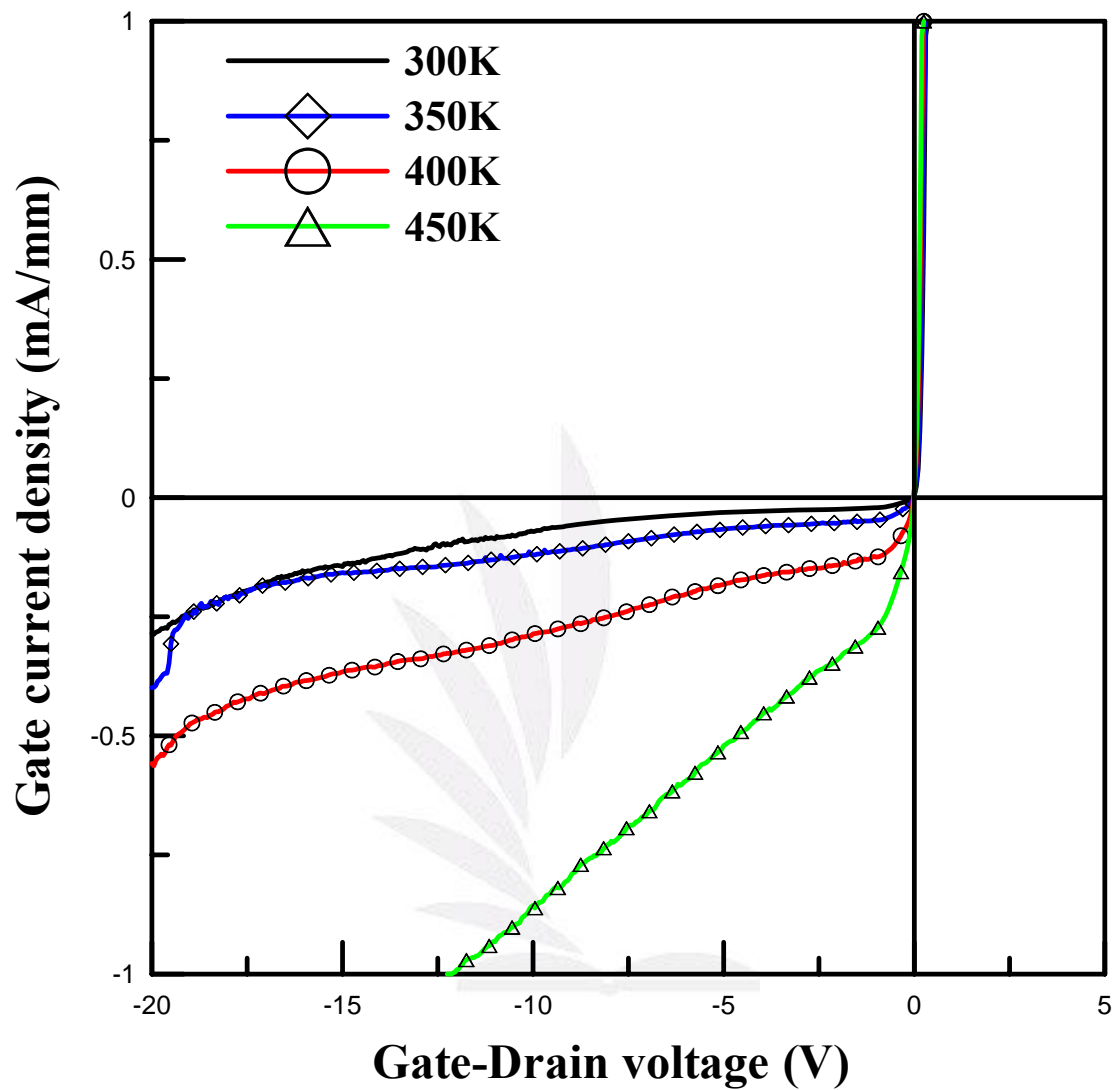


Figure 4-35 Two-terminal gate-drain breakdown voltage characteristics of Sample C from 300K to 450K.