



# 逢甲大學學生報告 ePaper

報告題名：

## 多閘極複晶矽薄膜電晶體閘極長度 對電場之影響

### The Effect of Electric field on the Gate Length of Multigate Polysilicon TFT

作者：張嘉峻

系級：電子四乙

學號：D9530260

開課老師：簡鳳佐 老師

課程名稱：專題研究(一)

開課系所：電子工程學系

開課學年： 98 學年度 第一學期



## 摘 要

複晶矽薄膜電晶體其具有較高的載子遷移率與驅動電流，且有將驅動電路整合於基板上的能力，開創高亮度、減少面板製造上的成本和增加可靠度等優點，所以在許多方面像主動式液晶顯示器、太陽能電池、記憶元件等發展已經受到矚目。

然而我們可以在許多文獻中發現，複晶矽薄膜電晶體不斷的改良出新穎式的結構，好因應高接面電場所帶來許多的不理想效應，而多閘極薄膜電晶體此結構就是其中之一，但在過去的文獻裡，我們只能知道它可以有效的降低電場，卻不曉得此結構操作的原理以及其設計的依據。

在本實驗中，我們利用 ISE TCAD 此套軟體進行了對 Multigate TFT 二維的模擬，並且研究了許多不同閘極長度的電場值，最後成功的解釋了它的物理特性以及整理出一套的設計依據，如此一來，就能明確地控制此結構並抑止高接面電場及其所帶來的不理想效應，也將不會浪費多餘的製程成本。

**關鍵字：** 薄膜電晶體、多閘極、閘極長度對電場影響

## 目 錄

摘 要.....	i
目 錄.....	ii
圖 目 錄.....	iii
表 目 錄.....	iv
第一章 前言.....	1
1-1 薄膜電晶體簡介與應用.....	1
1-2、TFT 的不理想效應.....	8
1-2.1 漏電流效應 (Leakage Current Effect).....	10
1-2.2 熱載子效應(Hot Carrier Effect).....	12
1-2.3 扭結效應 (kink effect).....	14
1-3 薄膜電晶體之基本結構.....	16
第二章 多閘極薄膜電晶體之分析模擬.....	19
2-1 動機.....	19
2-2 實驗方法與設計.....	19
2-3 Multigate 結構之製程步驟.....	21
第三章 Multigate 之模擬數據與討論結果.....	24
3-1 前言.....	24

3-2 Multigate 之電場分析 .....	24
3-3 結果與討論 .....	30
第四章 結論 .....	36
參考文獻 .....	37

## 圖 目 錄

圖 1.1 液晶顯示器技術之應用 .....	2
圖 1.2 三種不理想效應 .....	9
圖 1.3 漏電流效應的示意圖 .....	11
圖 1.4 熱載子產生、電流分量、注入氧化物中的電子 .....	12
圖 1.5 薄膜電晶體常見的熱載子效應: (a) CHE, (b) DAHC .....	13
圖 1.6 扭結效應 .....	16
圖 1.7 扭結電流 .....	16
圖 1.8 薄膜電晶體常見之基本結構 .....	18
圖 2.1 實驗方法之分析 Multigate 結構示意圖 .....	21
圖 2.2 Multigate 之關鍵製程步驟 .....	23
圖 3.1 Multigate 之 Double Gate 結構 .....	25
圖 3.2 Double Gate 水平電場圖 .....	25
圖 3.3 Double Gate 水平電位圖 .....	26

圖 3.4 Multigate 之 Triple Gate 結構.....	27
圖 3.5 Triple Gate 水平電場圖 .....	28
圖 3.6 Multiple Gate 結構圖 .....	29
圖 3.7 Multiple Gate 水平電場圖 .....	29
圖 3.8 外加偏壓 $V_{DS}=9V$ 時，通道空乏區長度.....	31
圖 3.9 First Gate Length 對 Drain 接面電場值.....	32
圖 3.10(a) 結構(2,10) $\mu m$ 之電位圖 .....	33
圖 3.10(b) $V_{DS}'=5.95V$ 時 Second Gate 通道空乏區長度 .....	34
圖 3.11 變動 Second Gate Length 之 Triple Gate 結構 .....	34
圖 3.12 Second Gate Length 電場峰值折線圖.....	35

## 表 目 錄

表 1.1 薄膜電晶體技術分類比較表 .....	5
表 1.2 各種複晶矽製作手法比較 .....	6
表 3.1 各種 Multigate 與傳統結構 $12\mu m$ 之電場比較 .....	26

## 第一章 前言

### 1-1 薄膜電晶體簡介與應用

隨著科技的蓬勃發展，日常生活中許多物品已與電子產業密不可分，而身處在資訊爆炸的時代裡，人們的生活步調不斷的在講求效率，所依賴的科技產品也不停的更新其速度性與便利性。舉例來說，在過去的顯示器多為陰極射線管(CRT, Cathode Ray Tube)螢幕，但由於陰極射線管為工作模式的顯示器具有重量重、體積大、輻射量高、耗電量大、畫質較差等因素，但隨著薄膜電晶體(TFT, Thin Film Transistor)的研究及量產，使得以薄膜電晶體作為開關元件的液晶顯示器(LCD, Liquid Crystal Display)的顯示技術取代了陰極射線螢幕而成為主流產品。液晶顯示器具有體積小、重量輕、省電、無輻射等優點，舉凡常見的桌上型顯示器、筆記型電腦、手機、數位相機等，如圖 1.1 所示，都能看到液晶顯示器的蹤影。在此發展過程裡，液晶平面顯示器具有能與半導體製程技術相容等優點，且順應這股網際網路數位資訊化市場的興起，使其在短短三十年間，產品之應用更呈飛躍性的成長。



圖 1.1 液晶顯示器技術之應用

## 非晶矽薄膜電晶體(Amorphous-silicon Thin Film Transistor)

目前薄膜電晶體大多製造於非晶矽(amorphous-Si)或是複晶矽(poly-Si)材料上，上述兩模式同樣都是在各畫素下設置 TFT 元件作畫素切換，灰階控制通常採用電壓調變方式，其物性及特性如表 1.1 所示。非晶矽薄膜電晶體材質採用含有大量氫的非晶矽(a-Si:H)，隨著液晶顯示器面積的增大和像素的提高，薄膜電晶體必須具備高移動率的載子，而驅使液晶顯示器必須減短期充放電時間。但非晶矽薄膜電晶體在高效能電路的應用上受限於本身的不理想性能，如它的載子遷移率非常低，因而限制了驅動能力也使它無法整合高速的周邊驅動

電路與控制電路，因此非晶矽薄膜電晶體通常只用在畫素開關元件上，無法製作周邊的驅動電路與控制電路，且非晶矽薄膜電晶體為了提高驅動電流，必須要有更大的元件尺寸，這會造成畫素的開口率 (Aperture Ratio) 無法提高，所以亮度和解析度也無法提升，但是非晶矽薄膜電晶體的製程費用低廉簡單，使他仍為主動式陣列的顯示器 (AMLCDs, Active-Matrix Liquid Crystal Display) 應用上的主流 [1-1]-[1-2]，其它在可靠度上也較複晶矽薄膜電晶體顯示器為差。隨著製程技術演進，使得複晶矽薄膜電晶體成為取代非晶矽薄膜電晶體一項重要的技術。

### **複晶矽薄膜電晶體(Polysilicon Thin Film Transistor)**

複晶矽薄膜電晶體它的載子遷移率非常高，可以解決非晶矽載子遷移率過低的問題，以提升驅動能力，並為高速的周邊驅動電路與控制電路提供了解決的方案。複晶矽薄膜電晶體的優點為具有較高的載子遷移率、自我對準(Self-alignment)、優良的操作穩定性及較長的生命週期(lifetime)、及低寄生電容及與金氧半場效電晶體(MOSFET, Metal-Oxide-Semiconductor Field-Effect Transistor)製成相似的優點，且具有將驅動電路整合於基板上的能力，開創高亮度、減少面板製造上的成本和增加可靠度[1-3]。複晶矽薄膜電晶體除了應用在主動式陣列的顯示器(Active-matrix liquid crystal display, AMLCDs)之外，也有應



用在一些記憶體元件，如靜態隨機存取記憶(SRAMs，Synchronous Dynamic Random Access Memory)、可清除程式化唯讀記憶體(EPROM，Erasable Programmable Read-Only Memory)、電子式可清除程式化唯讀記憶體(EEPROMs，Electrically Erasable Programmable Read-Only Memory)等[1-4]-[1-5]。一般來說，複晶矽薄膜製作的方式有直接沉積複晶矽薄膜及沉積非晶矽再回火的兩種方法。直接沉積複晶矽的製程溫度通常在 600°C 以上，一般的玻璃基板將無法承受，且直接沉積複晶矽薄膜，其晶粒(Grain)較小，缺陷(Defect)較多，因用此方法製作的電晶體特性較差，所以通常無人使用此方法製作。另一種製作為先利用低壓化學氣相沉積(LPCVD，Low Pressure Chemical Vapor Deposition)、電漿輔助化學氣相沉積(PECVD，Plasma-Enhanced Chemical Vapor Deposition)或濺鍍(Sputtering)的方法沉積非晶矽薄膜，再利用熱處理的方式使其轉變成複晶矽薄膜。

隨著生活講究便利性以及環保，可攜帶式的科技產品須具備有高密度積體電路製造以及低功率消耗的特點，為了去突破積體電路技術的限制，因而發展三維(3-D)的積體電路技術，複晶矽的 TFT 已可達成三維的積體電路技術[1-6]-[1-8]，而此積體電路技術的應用在之前所說的一些記憶體元件(SRAMs、EPROM、EEPROMs)上。複晶矽薄

膜電晶體相較於非晶矽薄膜電晶體一直被認為是大有可為的材料，因為複晶矽薄膜電晶體它的載子遷移率高，約是非晶矽電晶體的一百倍，使它非常有希望為未來高速主動式陣列顯示器提供解決的方案；製程方面，雖然高溫製程能使複晶矽有高效能，低缺陷的優點，但整合周邊電路於玻璃基板的廉價優勢，使研究製程溫度在 600 度以下的低溫複晶矽薄膜電晶體引起了廣泛的興趣。

低溫複晶矽薄膜電晶體與目前所用的非晶矽薄膜電晶體相比較，成本較為便宜，具有更高的解析度，且電子在複晶矽的傳輸速率較快，品質較優良。此外，低溫複晶矽薄膜電晶體可在玻璃面板上嵌入驅動元件，大幅度節省另外保留驅動 IC 的空間。由元件結構與其製作的觀點的優越性，所因應發展的技術應能提供有效的畫素(Pixel)元件、高電流的驅動元件、高電流的數位元件、Kink-free 的類比元件、大電荷儲存的電容器、以極有效的記憶體元件。

TFT skill	A-Si	Low temperature Poly-Si	High temperature Poly-Si	Single crystal
Substrate	Glass	Glass	Quartz	Silicon wafer
Mobility (cm <sup>2</sup> /V-sec)	0.1 ~ 1	50 ~ 500	100 ~ 150	600 ~ 700
Leakage current	Low	Large	Large	Low
Sensitivity	High	Low	Low	Low
Operating frequency (Hz)	100K	10M	> 10M	1G
Device design (μm)	10 ~ 100	1 ~ 10	~ 10	< 1
Temperature (°C)	< 300	< 600	< 900	< 1100

表 1.1 薄膜電晶體技術分類比較表

## 複晶矽薄膜電晶體關鍵製造技術

複晶矽薄膜電晶體中，晶粒與晶粒邊界的缺陷是一個很嚴重的問題，這些晶粒邊界的缺陷會捕捉電荷並影響電晶體的電性表現如載子遷移率、元件漏電流、臨界電壓及元件操作時高電場與缺陷交互作用的不理想效應都會造成元件特性的衰減。因此在複晶矽薄膜電晶體的製作上主要致力於改善複晶矽的品質，以提高晶粒的大小與減少晶粒邊界缺陷。目前常見的低溫再結晶的製程方法有三種，分別為固相再結晶(SPC, Solid Phase Crystallization)、沉積金屬與矽反應進行結晶(MIC, Metal-Induced Crystallization)、與準分子雷射退火(ELA, Excimer Laser Annealing)等等，其優缺點如表 1.2 所示。

Property poly-Si	Mobility	Large area capability	Uniformity	Throughput
As-deposited	Δ	O	O	O
Furnace anneal (SPC)	O	O	O	Δ
Rapid thermal anneal	O	X	X	Δ
Laser anneal	⊙	X	X	Δ

⊙= Excellent, O= Good, Δ= Fair, x= Poor

表 1.2 各種複晶矽製作手法比較

### **固相再結晶(SPC, Solid Phase Crystallization)**

所謂的固相結晶是利用加熱的方式使矽原子得到足夠的能量而重新排列。固相再結晶為在溫度 600°C、時間 24 小時下藉由回火的方式讓矽原子有規律的重新排列，有許多成核的地點在非晶矽薄膜上各自成長，此現象侷限了晶粒的大小，所以雖然此方法結晶出的複晶矽擁有較均勻且較平滑的表面，但缺點為經過爐管的時間太長使其量產能力不佳以及較低的結晶溫度使其晶粒的顆粒較小。

### **金屬與矽反應進行結晶(MIC, Metal-Induced Crystallization)**

此方法為非晶矽轉複晶矽時，添加少量的不純金屬能大大的減少熱預算，而金屬誘發結晶是選用與矽產生共晶反應的金屬，例如：Al、Au 等，且金屬溶解在矽中會減弱矽鍵，同時可加強非晶矽的結晶，所以可在低溫下產生結晶。另一種方式是利用金屬與矽反應成矽化物，例如：Ni、Pd 等，在矽化物移動的過程中，金屬原子的自由電子與Si-Si 共價鍵發生反應，並降低非晶矽結晶所需的能障，使得結晶溫度降低。但隨著晶粒成長所夾帶的金屬矽化物累積在晶粒邊界存在通道內部將嚴重的影響到元件漏電流的表現。

### **準分子雷射退火(ELA, Excimer Laser Annealing)**

相對的利用雷射重新熔融非晶矽伴隨一千多度的高溫下重新結

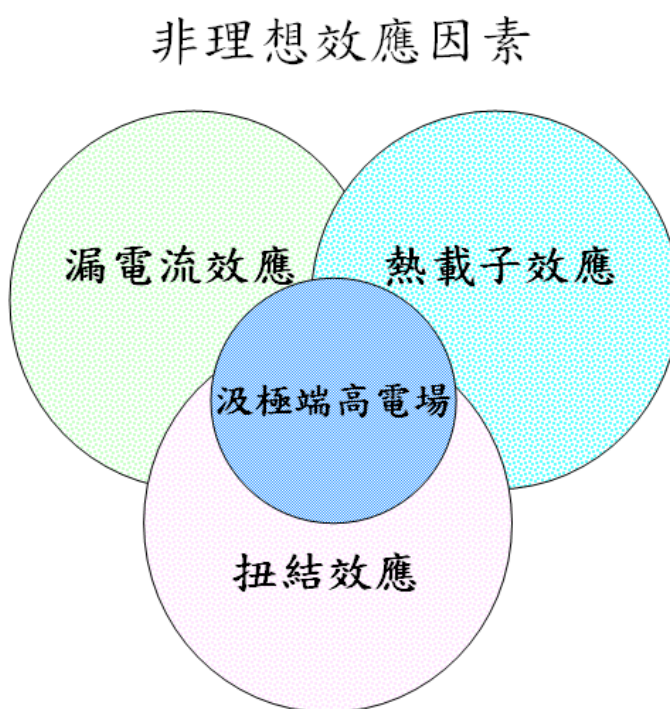
晶，擁有比固相再結晶技術更大的晶粒以及較快的製程速度，但其表面較固相再結晶為不平坦，而在考慮薄膜品質與量產需求下，準分子雷射退火為目前仍廣為工業界所應用，也被認為最有可能替高速主動式陣列顯示器提供解決方案。

低溫複晶矽是一種製造 TFT LCD 方面先進製程的技術，其可達到極佳的影像品質及反應時間；具備雷射退火技術，可在低於攝氏 400°C 溫度下達成矽膜結晶，使用的接點及元件更少，且功率消耗更低。低溫複晶矽薄膜電晶體由於具有較高的載子移動率，一般都大於  $100\text{cm}^2/\text{V}\cdot\text{S}$ ，所以除了可以用作畫素的開關元件，還可以用將週邊電路同時製作於同一個面板上，達到系統在面板(SOP, System On Panel)的目標[1-9]，且由於少了黏貼晶片的製程步驟，其可靠度面板體積與重量都可以獲得改進，但相較於非晶矽薄膜電晶體，低溫複晶矽薄膜電晶體具有較大的漏電流，易造成影像資料的流失，必須靠改良元件的結構改善，不過缺點是將會增加元件製作的複雜及良率。

## 1-2、TFT 的不理想效應

隨著科技的進步，TFT 製程技術也隨之成熟，而在科技產品的工作速率與積體電路容量不斷提升的情形下，單位元件的尺寸也被要求縮小。當元件的尺寸越做越小時，一些非理想的狀況就會產生，例如短通道效應、漏電流效應、熱載子效應以及扭結效應等，這些非理想

效應會直接影響整個元件，而使得元件效能降低，也限制著複晶矽薄膜電晶體(poly-Si TFT)在一些主動式顯示器、SOP 以及 3-D 積體電路的應用。而在非理想效應方面，如圖 1.2 所示，漏電流效應(leakage current effect)、熱載子效應(hot carrier effect)以及扭結效應(kink effect)都與汲極端的接面高電場有很大的關係，故降低汲極端的電場成為非常重要的工程。也就是傳統型的 poly-Si TFT 結構上需要做一些變化與突破，以改善汲極端的高電場。



以下將說明複晶矽薄膜電晶體的不理想效應形成原因以及改善方法：

## 1-2.1 漏電流效應 (Leakage Current Effect)

複晶矽與非晶矽薄膜電晶體相較之下，其電子具有高移動率、低寄生電容以及與 CMOS 結構具有較好的相容性等優點，但是相較之下以複晶矽做成的薄膜電晶體具有較大的漏電流，而這些現象使得複晶矽 TFT 應用在 AMLCDs 上，導致電晶體關閉不完全的現象，這將造成顯示器無法顯示出該有的顏色[1-10]-[1-12]；而為了降低功率消耗以及元件開關不完全等問題，減少漏電流是必須的工作。圖 1.3 是引發漏電流機制的示意圖[1-13]，第一種機制為一個電子利用熱活化(thermal activation)從價帶(valence band)激發到傳導帶(conduction band)。伴隨著微弱的電場強度，活化能的值等於能帶的值，而金氧半場效應電晶體(MOSFET)的活化能是固定的，因此這種情況發生在厚閘極氧化層的金氧半場效應電晶體。第二種機制為電子從價帶利用熱活化激發到一個缺陷狀態(trap state)，再經由中強電場的引導下穿隧(tunneling)，這種機制相似於結合產生(generation)與穿隧(tunneling)。第三種機制為在強電場下，一個電子穿隧藉由 field-enhanced emission 使得載子直接穿過位能障壁而形成漏電流。

在此提出兩個限制漏電流的方法：

- 1、減少顆粒邊界(Grain Boundary)，藉由氫化的方法可以有效的修補顆粒邊界或晶粒裡大量的懸擺鍵(Dangling Bond)。

## 2、降低汲極端的電場而使得逆偏情況減低。

然而第一個方法仍存在問題，就是經氫化處理過後的矽-氫鍵會較一般單晶的矽-氫鍵要來的脆弱，當熱載子產生時，這些弱鍵結很容易被撞斷而產生缺陷，使得元件的特性變得不穩定，雖然有數種方法可改善其問題，但是效果不盡理想，因此仍是搭配降低汲極端電場的方法為優先考慮。

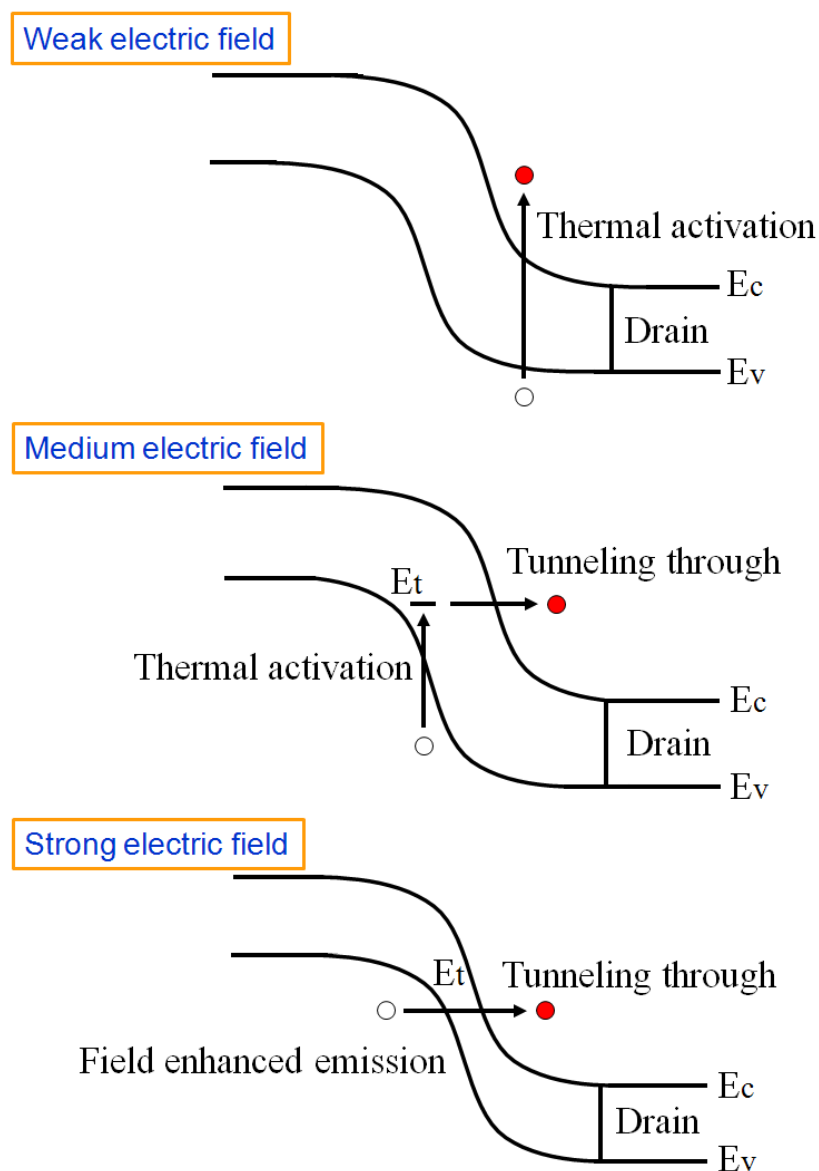


圖 1.3 漏電流效應的示意圖



## 1-2.2 熱載子效應(Hot Carrier Effect)

當通道電場超過臨界電場而達到速度飽和的時候，電子電洞對會因為衝擊解離而產生，這些被產生的電子具有遠大於熱平衡值的能量，並且被稱為是熱電子(hot electron)。由於一個正的閘極電壓所感應的電場，導致空間電荷區域中所產生的熱電子會被吸引進入氧化物之中，如圖 1.4 所示

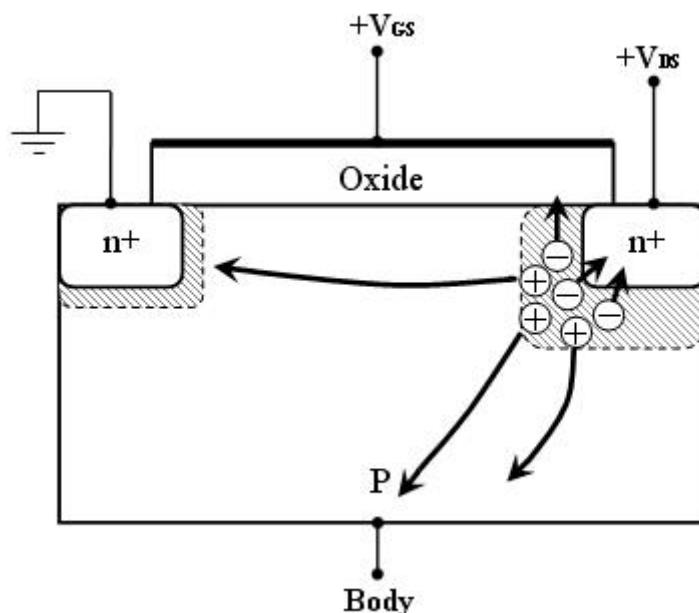


圖 1.4 熱載子產生、電流分量、注入氧化物中的電子

如果熱電子具有 1.5eV 的能量就有可能穿隧進入氧化物中，並產生一個閘極電流。一般來說有好幾種機制會導致這種閘極電流，常見的探討機制有下列兩種：通道熱電子注入(CHE, Channel Hot Electron injection)以及汲極雪崩熱載子注入(DAHC, Drain Avalanche Hot Carrier injection)如圖 1.5 所示。

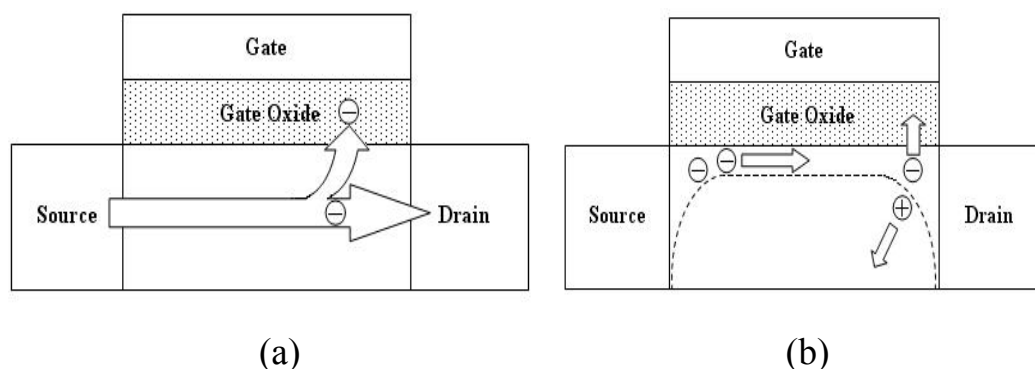


圖 1.5 薄膜電晶體常見的熱載子效應: (a) CHE，(b) DAHC

### 通道熱電子注(CHE, Channel Hot Electron injection)

要發生此狀況閘極電壓須在較高的情況下，也就是當通道導通時，又當  $V_{DS}$  夠大時，通道內電子獲得足夠的能量，就可不必經由碰撞游離化。此機制須藉由 lucky electrons model 來做說明，在通道熱電子注入(Channel Hot Electron injection)之機制下，載子受到橫向電場的加速，在靠近汲極的地方經過碰撞和從直接氧化層獲得一個動量而形成一些通道熱電子(channel hot electron)，其中有一些電子未遭受會使得能量損失的碰撞稱為”lucky electrons”，藉由它們有利的直接動量其被放射穿過 Si-SiO<sub>2</sub> 的能障進入氧化層的傳導帶，如圖 1.5(a)所示。而此現象在閘極電壓等於汲極電壓( $V_{GS} = V_{DS}$ )時最明顯。

### 汲極雪崩熱載子注入(DAHC, Drain Avalanche Hot Carrier injection)

DAHC 是發生於外加電場的閘極電壓  $V_{GS}$  較小即通道未完全導通時，汲源極電壓  $V_{DS}$  夠大，亦即汲極處的最大橫向電場  $E_m$  夠大時，

才足以發生碰撞游離化。在靠近汲極的地方，載子在高電場中(通常為閘極與汲極端的高電場)加速，產生高能量的載子(電子電洞對)如碰撞游離(impact ionization)與倍增崩潰效應(Avalanche Multiplication)。所產生的熱電子與熱電洞被注入到閘極，如圖 1.5(b)所示。在閘極電壓等於二分之一汲極電壓時( $V_{gs} = 0.5V_{ds}$ )時最明顯。

在此將提出兩個限制熱載子效應的方法：

1. 增強閘極氧化層的品質和改善矽及矽氧化物的界面以降低熱載子被缺陷捕捉的機率。
2. 降低汲極端的電場峰值。

在分析薄膜電晶體上熱載子效應及其所帶來的衰退現象時，由於薄膜電晶體缺少基體電極，以及複晶矽通道中具有許多存在於晶界(Grain Boundary)和晶粒中的缺陷，因此在分析熱載子效應時，會更為複雜。至於改善方面，複晶矽薄膜電晶體的閘極氧化層是在低溫的環境下沉積而成的，因此品質較好、較堅硬的閘極氧化物較難獲得，故仍以降低汲極電場做為優先考慮。

### 1-2.3 扭結效應 (kink effect)

低溫複晶矽薄膜電晶體的輸出特性攸關電路的性能與畫素的充電時間，而當元件操作於高電壓時會有階梯狀不連續、異常增加電流出現，使數位電路的功率消耗增加、低頻雜訊、暫態特性、切換延遲

等退化，造成類比電路增益(Gain)和共模互斥比(CMRR, Common Mode Rejection Ratio)的下降，這種超越薄膜電晶體本身的負荷量之現象稱為扭結效應(kink effect)。傳統 MOSFET 是四端點元件，大部分的電流可以藉由基極(Body)流出並做為參考電位。而一般薄膜電晶體的基底為玻璃基板，基極(Body)沒有接腳可以排解多餘的載子而形成累積，當元件操作在飽和區時，高的汲極電壓操作使得汲極與通道界面處產生高電場，不但造成飽和電流變大，還促使載子的碰撞游離率因而增加[1-14][1-16]，如圖 1.6 所示，當電子電洞對(EHP)不斷的產生後，過多的電洞會累積在基極，並與源極、汲極形成等效的寄生雙載子效應(parasitic bipolar transistor effect)，增加的電流促使碰撞游離率再增加，不斷的正回授(positive feedback)使得汲極電流劇增，稱之為扭結電流(Kink current)，如圖 1.7 所示[1-17][1-18]。

而對於複晶矽來說，存在著另一個機制造成雪崩效應，那就是有高的缺陷態位密度。扭結效應造成了大電流，而這使得元件的輸出將會消耗很多功率，也可能使元件燒毀，因此降低扭結效應是很重要的一項工作，而解決的辦法也是降低及極端的高電場，以減少游離碰撞的發生[1-19][1-20]。

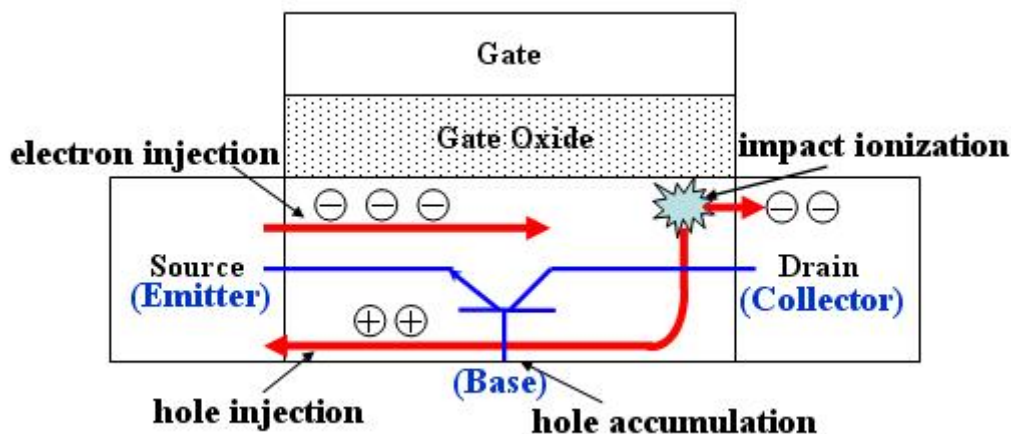


圖 1.6 扭結效應

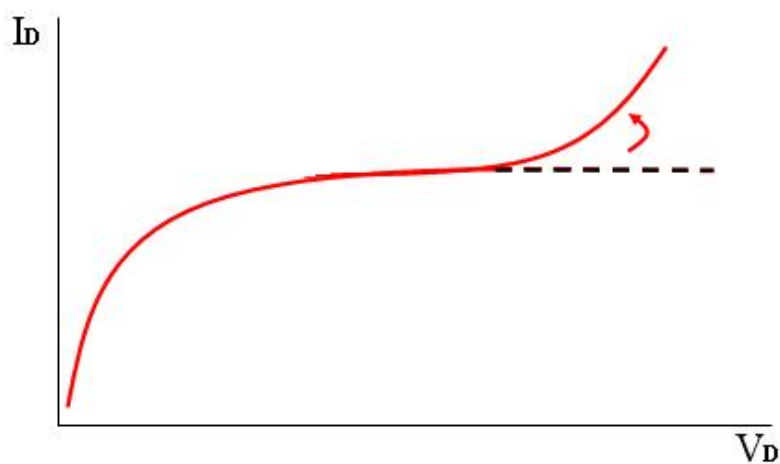
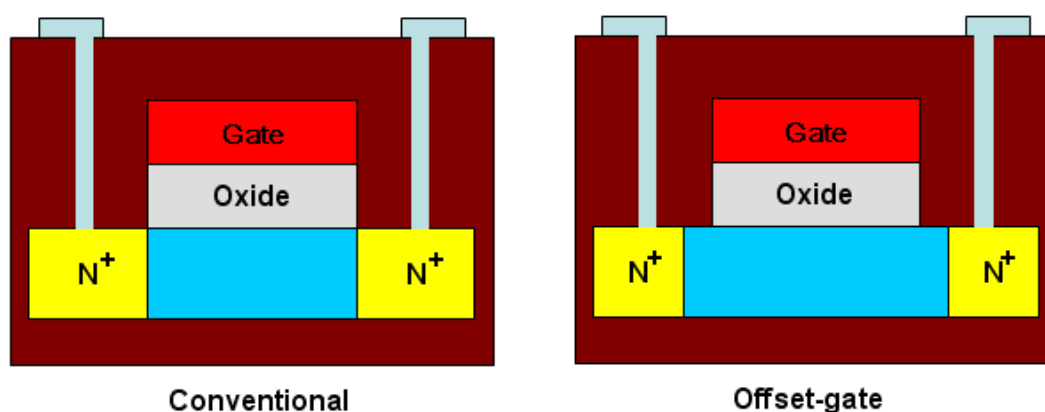


圖 1.7 扭結電流

### 1-3 薄膜電晶體之基本結構

圖 1.8 為薄膜電晶體常見之基本結構，Offset、LDD 型是目前最普遍被使用的結構，藉由引進未摻雜或輕摻雜的汲極區域，空間電荷區域之中的峰值電場會被降低，而崩潰效應會被極小化[1-16]。這樣的結構常應用於畫素與驅動電路區域。其能有效抑制漏電流，並提

升製程可靠度。然而需精確控制 offset 長度與 LDD 植入劑量，加上額外植入與微影製程增加其成本，有許多的文獻與專利都對其研究探討過。而 Air Cavity 型是利用製成手法讓閘極靠近汲極與源極區域的閘極氧化層摟空，這樣一來，因為介電常數的不同( $\text{SiO}_2$  與 Vacuum)造成垂直電場的改變，降低其不理想效應如漏電流效應、熱載子效應及扭結效應。Multigate 型的手法是利用光罩控制閘極長短，且元件的閘極總長度在固定的情況下，做等份的切割，分開來看為許多相同長短的單閘極 TFT，並讓這些簡單的 TFT 結構(單閘極 TFT)互相串聯在一起。而原理則是，靠近 Drain 端的閘極，有機會因為外加  $V_{DS}$  偏壓，使得汲極端的電位延升至下一個閘極，如此一來， $V_{DS}$  得以進行分壓，並且減少第一個 TFT 的壓降，自然而然就能降低汲極端的接面電場，以及降低其不理想效應。



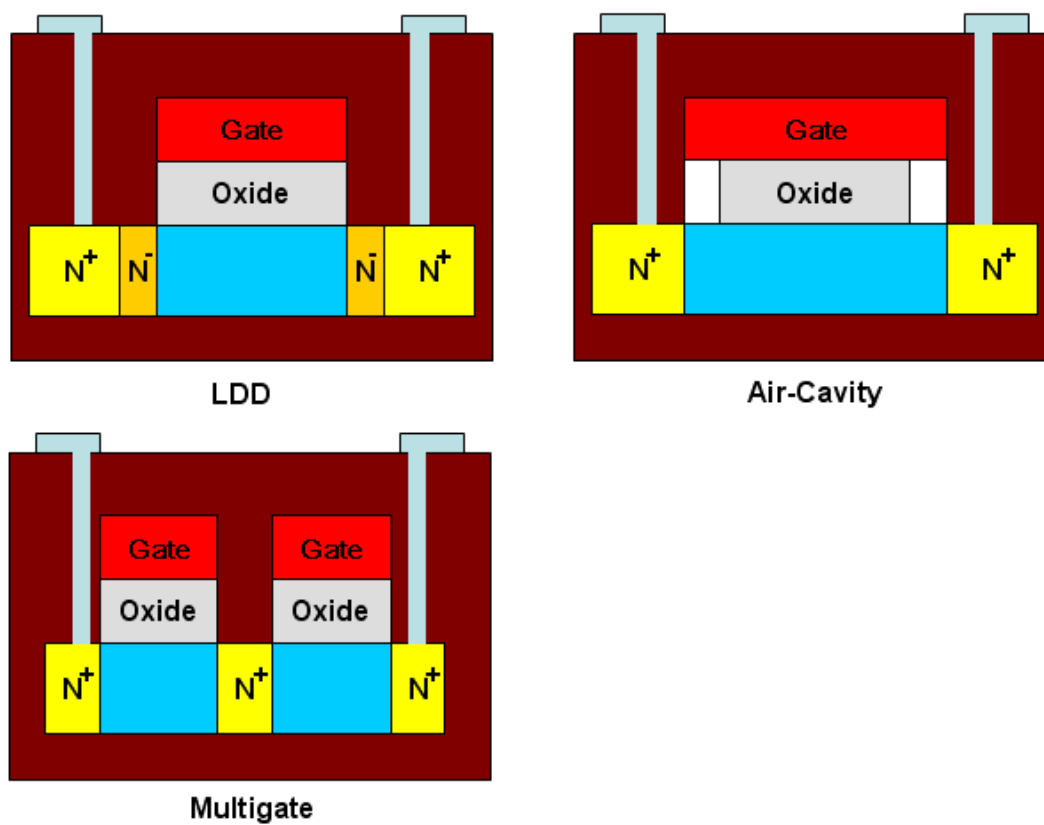


圖 1.8 薄膜電晶體常見之基本結構

## 第二章 多閘極薄膜電晶體之分析模擬

### 2-1 動機

過去為了解決 TFT 的不理想效應，許多學者紛紛設計出不同的結構，已達到降低汲極電場的目標，而設計的結果通常都能有效的達成降低電場的效果，但是設計的過程中，難免會增加製程的複雜程度，而忽略了成本的考量。

Multigate 的結構製程上相似於傳統的 TFT 結構，不需要額外多製作光罩的手續，就能達成。以往文獻在討論 Multigate 結構能發現它不僅能有效的降低汲極端的電場，還因此設計成耐高壓元件；而最後發展的結果是元件的閘極總長度在固定的情況下，做等份的切割，且每段做越短越能降低接面電場，但並無人討論出精確的設計方法。

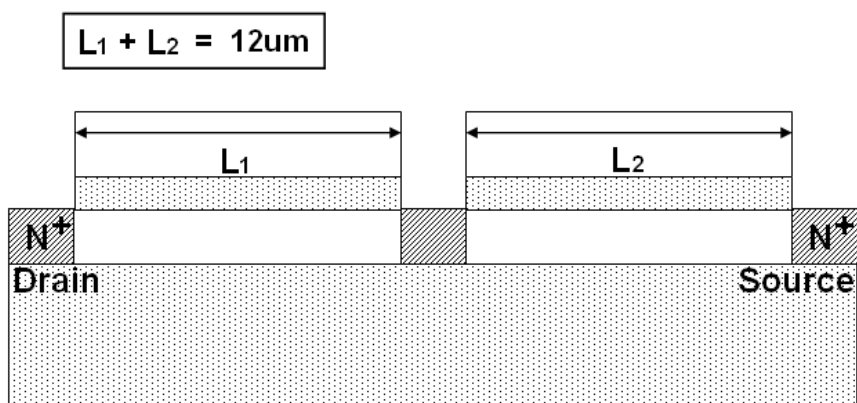
而如果能找出 Multigate 精確的設計規格而有效的控制閘極長度，此結構就能提高它的利用價值。

### 2-2 實驗方法與設計

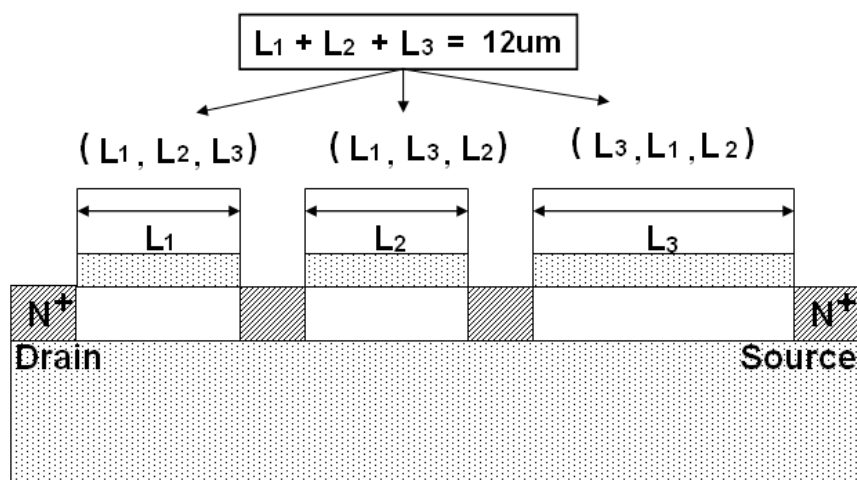
我們定義各個閘極長度總和固定為  $12\mu\text{m}$ ，並利用 ISE-TACD 模擬軟體對此結構的閘極當做變數，進行分析。此實驗分成三個步驟來探討。第一、製作出不同閘極長度的雙閘結構，改變  $L_1$  和  $L_2$  的長度，但  $L_1 + L_2 = 12\mu\text{m}$  固定不變，如圖 2.1(a)所示，此步驟是為了觀察 First



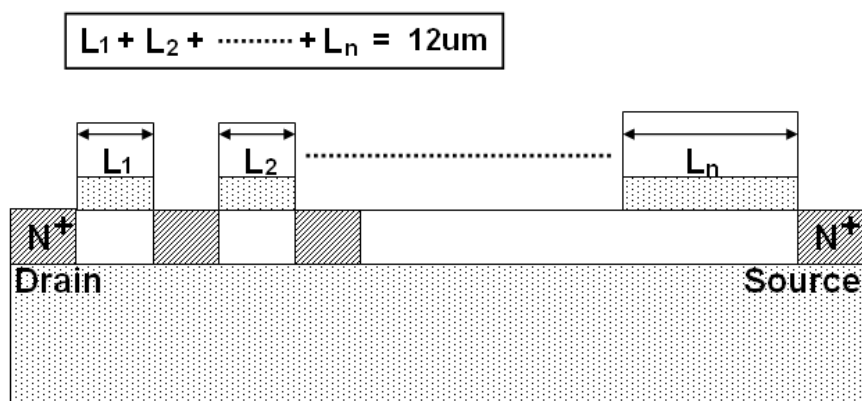
Gate 對電場的影響，並觀察汲極端接面電場改變情形；第二、製作出三閘結構， $L_1 + L_2 + L_3 = 12\mu\text{m}$  固定不變，並改變其排列順序，如圖 2.1(b)所示，此步驟是為了觀察 Gate 先後排列在對稱與非對稱時，電場的改變情形；第三、製作出三至六閘的結構，其  $L_1 + L_2 + \dots + L_n = 12\mu\text{m}$  固定不變，如圖 2.1(c)所示，此步驟是為了探討是否因為閘極做的越多，電場也因此降的越低；最後，觀察模擬結果整理出一套設計 Multigate 的準則並且利用物理算式企圖找出規律。



(a)



(b)



(c)

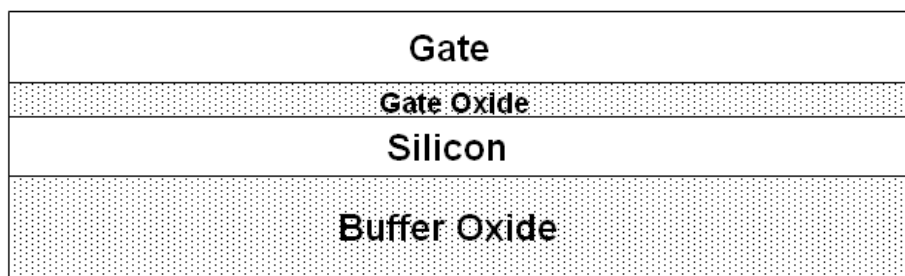
圖 2.1 實驗方法之分析 Multigate 結構示意圖

### 2-3 Multigate 結構之製程步驟

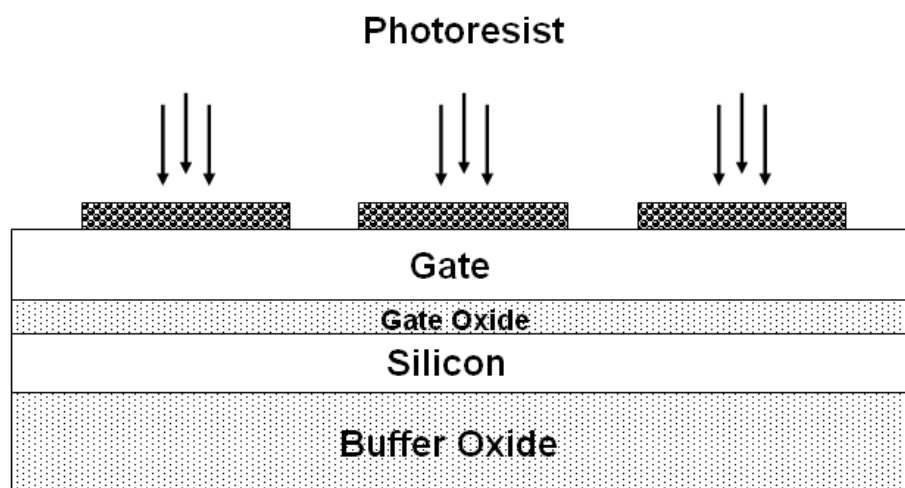
圖 2.2 為 Multigate 的關鍵製程步驟，詳細的製程步驟如下：

- 1、首先我們以矽基板(Silicon wafers)代替半導體業界使用的玻璃基板做為初始基板，在經由標準熱氧化成長厚度為  $1\mu\text{m}$  的 Oxide 作為 Buffer Oxide Layer。
- 2、沉積一層厚度為  $1000 \text{ \AA}$  的 Silicon，做為通道。
- 3、沉積厚度為  $500 \text{ \AA}$  的 oxide，再沉積一層厚度為  $1000 \text{ \AA}$  的摻雜磷 (phosphorus)poly-Si，其濃度為  $1e^{20}(\text{cm}^{-3})$ 。
- 4、上光罩塗上光阻定義閘極，在使用乾式蝕刻依序蝕刻 poly-Si  $1000 \text{ \AA}$ 、oxide  $500 \text{ \AA}$ 。
- 5、離子佈植以能量  $35\text{keV}$  以及濃度為  $5e^{15}(\text{cm}^{-2})$  的磷離子，再以高溫爐管溫度  $600^\circ\text{C}$ 、時間 12 小時下活化離子。

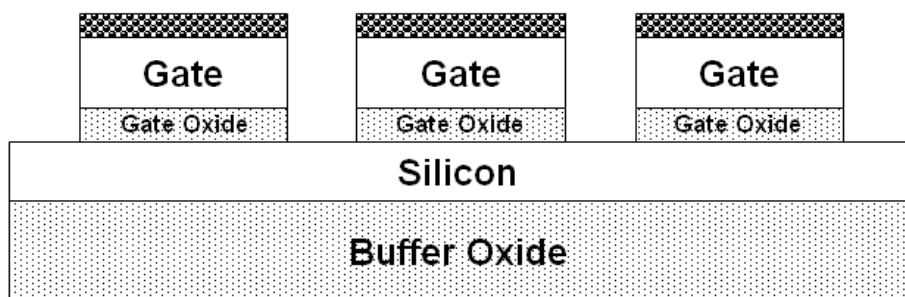
- 6、 利用蝕刻光阻劑蝕刻光阻。
- 7、 沉積厚度為 3000Å 的 Oxide 做為 Passivation，然後再沉積金屬定義各極點。



定義基板長度並依序沉積 Buffer oxide、Silicon、Gate oxide、Poly-Si

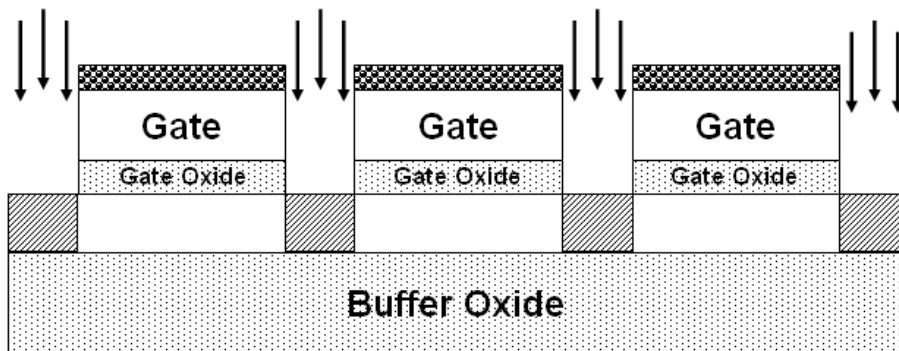


利用光罩定義 Gate 區域

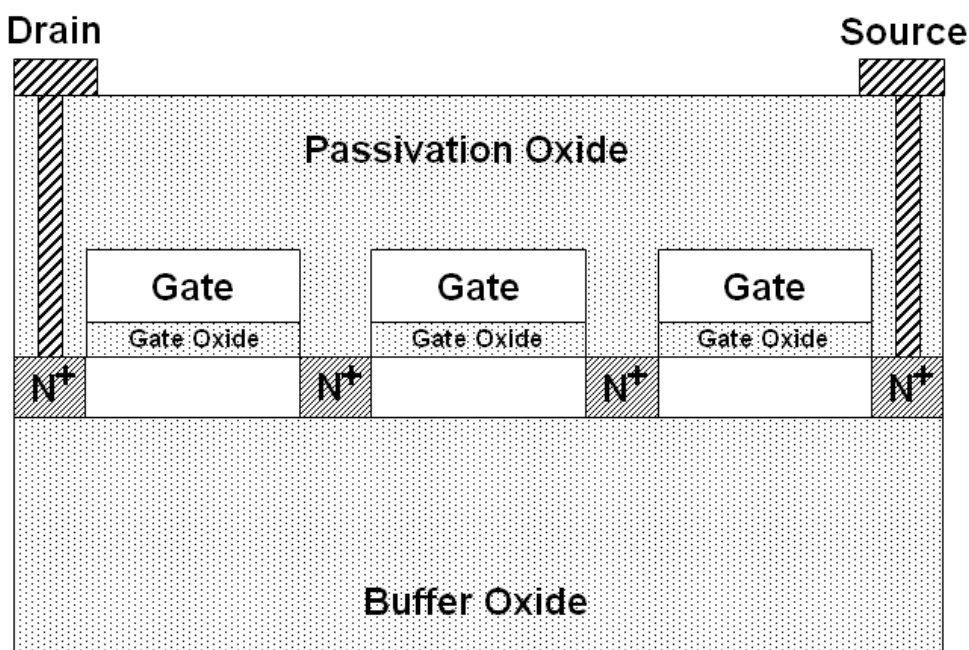


使用乾式蝕刻依序蝕刻 Poly-Si、Gate oxide

### Ion implantation and Anneal



離子佈植並退火活化



去光阻、沉積 Passivation Oxide、沉積金屬定義極點

圖 2.2 Multigate 之關鍵製程步驟

## 第三章 Multigate 之模擬數據與討論結果

### 3-1 前言

此實驗之進行將 ISE TCAD (ISE TCAD, Integrated System Engineering) 此套軟體來進行多閘極薄膜電晶體元件製程與元件設計之全模擬(full simulation)技術。並討論調變元件結構參數對元件電性的影響，以及與傳統的薄膜電晶體結構做電性的比較，驗證本專題計畫提出之結構對於傳統 TFT 與以往 Multigate 結構，不但能有效降低其接面電場，改善元件不理想效應，亦能利用半導體物理公式計算出結果，以證明此專題的可行性。

### 3-2 Multigate 之電場分析

前文在實驗方法與設計提到，為了探討 Multigate 變化的準則，我們分成閘極的長短與數目、變化順序，三個步驟來討論。

首先，我們為了觀察 First Gate 對整個結構的影響，製作出 Gate 數目為 2 個的 Multigate TFT 結構，並改變  $L_1$  和  $L_2$  的長度，但  $L_1 + L_2 = 12\mu\text{m}$  固定不變，定義 Cut line，掃描接近通道表面的電性，如圖 3.1 所示，其掃描水平電場值，如圖 3.2 所示。

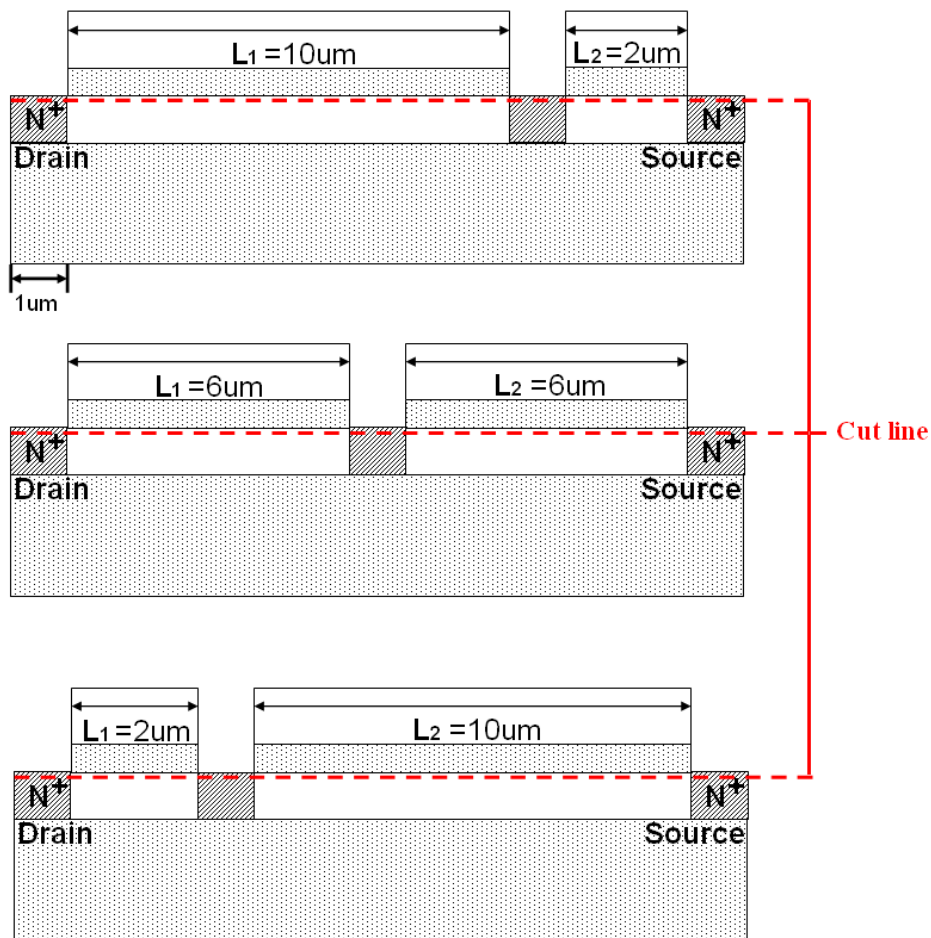


圖 3.1 Multigate 之 Double Gate 結構

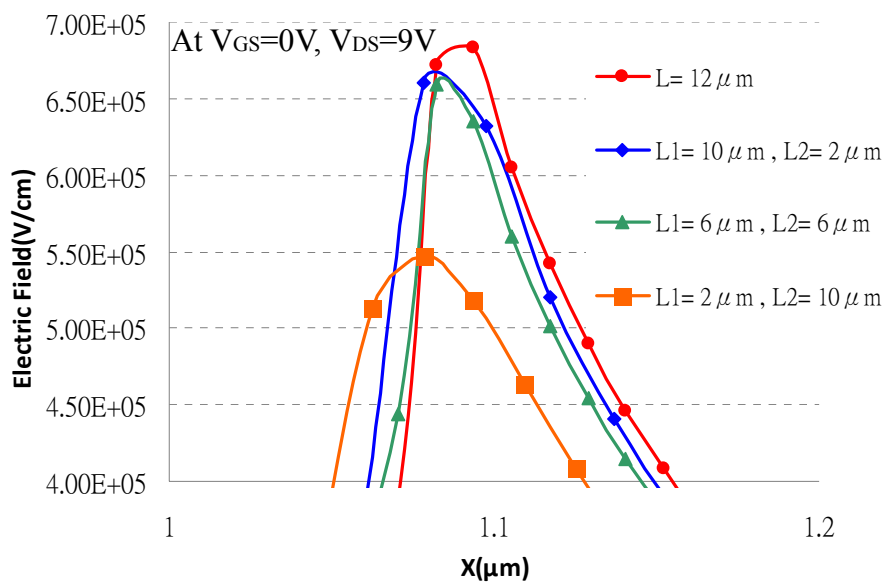


圖 3.2 Double Gate 水平電場圖

Gate Length( $L_1, L_2$ )	Lateral Electric Field(max) (V/cm)	水平電場降幅 with Conventional( $12\mu\text{m}$ )
$12\mu\text{m}$	$6.83\text{E}+05$	0.0%
$(10,2)\mu\text{m}$	$6.60\text{E}+05$	3.3%
$(6,6)\mu\text{m}$	$6.59\text{E}+05$	3.5%
$(2,10)\mu\text{m}$	$5.47\text{E}+05$	20.0%

表 3.1 各種 Multigate 與傳統結構  $12\mu\text{m}$  之電場比較

從表 3.1 我們可以發現，Gate Length 為  $(2,10)\mu\text{m}$  時，電場有明顯的下降，因而推論，靠近 Drain 端的 Gate 如果做得越小，電場的下降幅度越明顯，這也與過去文獻中所提及的，如果 Gate 越短接面電場越低的觀念相證。而原理就是靠近 Drain 端的 Gate 夠短，且外加  $V_{DS}$  偏壓的關係，產生通道全空乏的情形，導致  $V_{DS}$  電位延升至下一個摻雜區域而分壓，如圖 3.3 所示，進而促使接面電場下降。

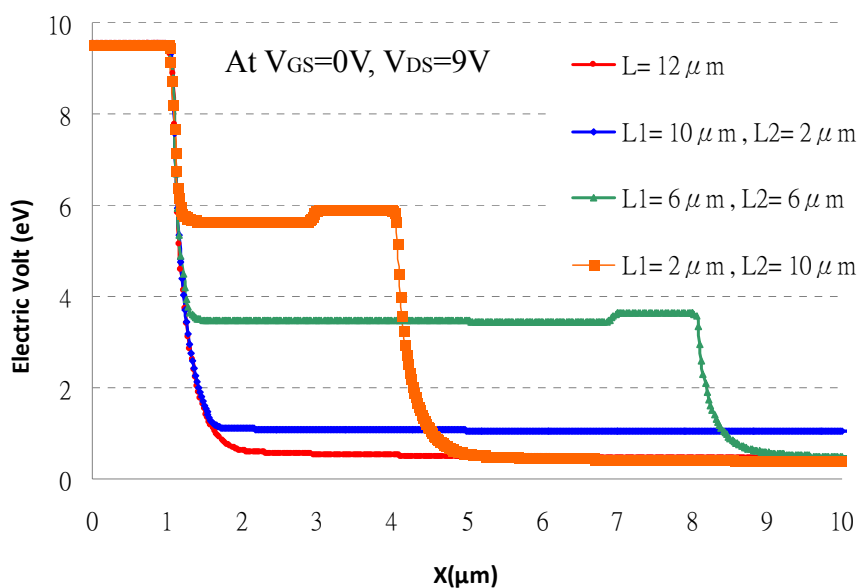


圖 3.3 Double Gate 水平電位圖

接下來，我們製作三閘的結構，其長度為(2,2,8) $\mu\text{m}$  進型排列組合，如圖 3.4 所示，並觀察三閘結構在對稱與非對稱時，接面電場表現，並掃描其水平電場值，如圖 3.5 所示。

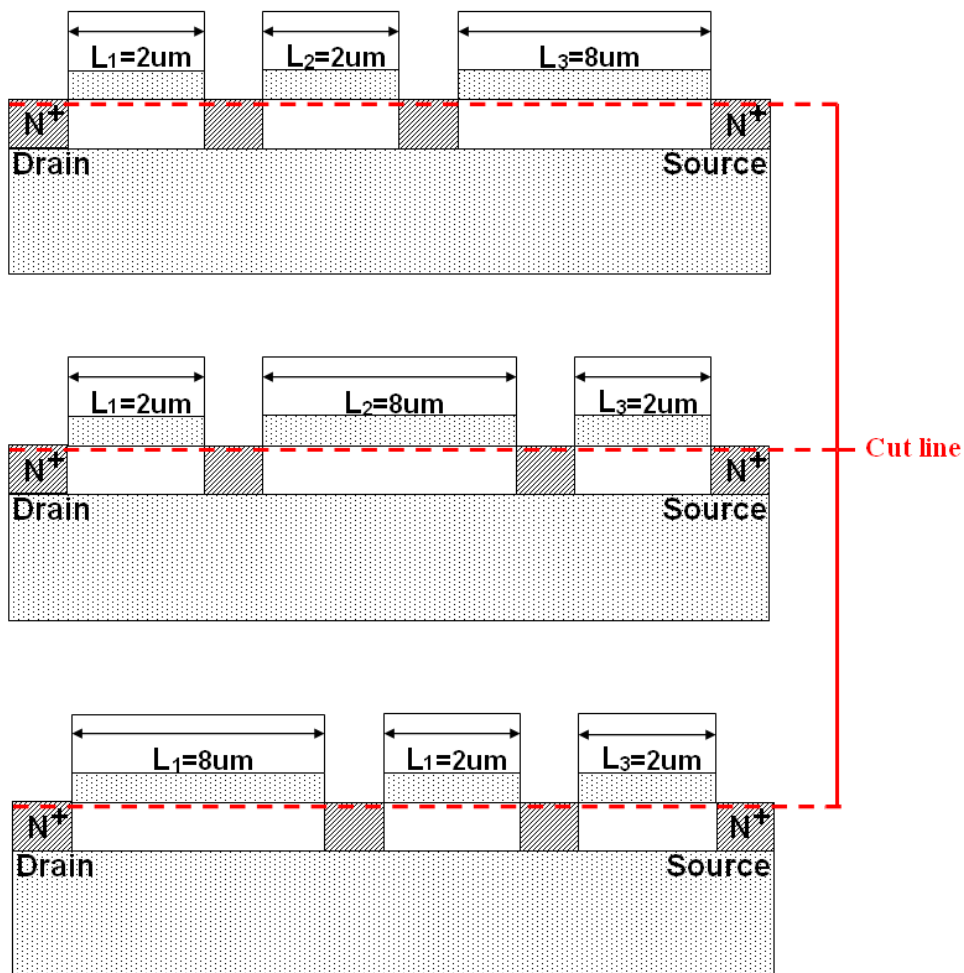


圖 3.4 Multigate 之 Triple Gate 結構



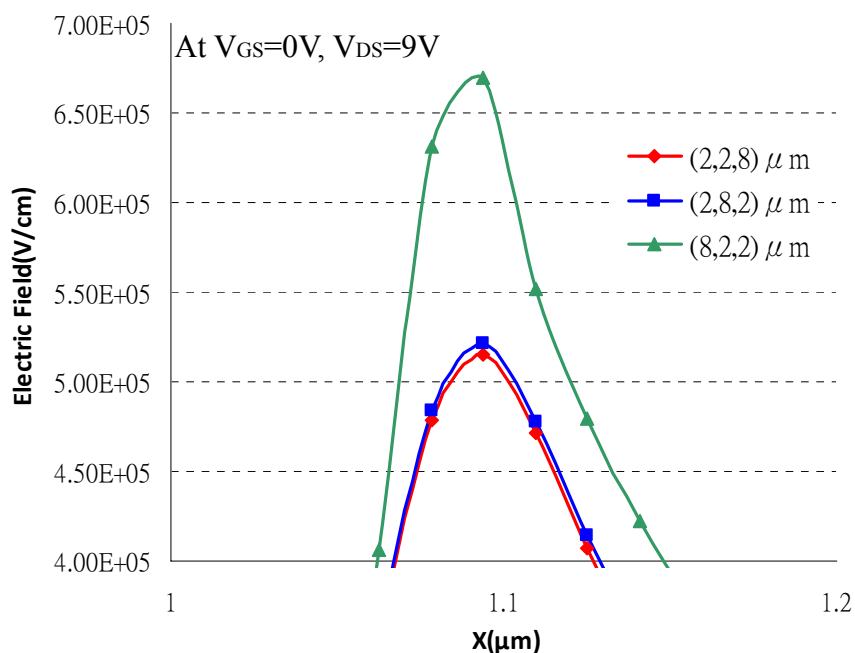


圖 3.5 Triple Gate 水平電場圖

從圖 3.5 我們可以清楚的看到，(8,2,2) $\mu\text{m}$  與另外兩條峰值電場曲線有明顯的差異，而這也再次的證明，Multigate 結構設計的關鍵就在於 First Gate 的長短，並且計算出偏壓對於空乏區大小有關，至於 First Gate 以後的大小以及排列順序，對於 Drain 端的接面電場幾乎影響不大。

最後，製作主要 Gate Length 為  $2\mu\text{m}$ 、Gate 數目為 3 至 6 個的 Multigate TFT 結構，如圖 3.6 所示，並觀察閘極數目對於橫向電場的影響，並掃描水平電場值，如圖 3.7 所示。

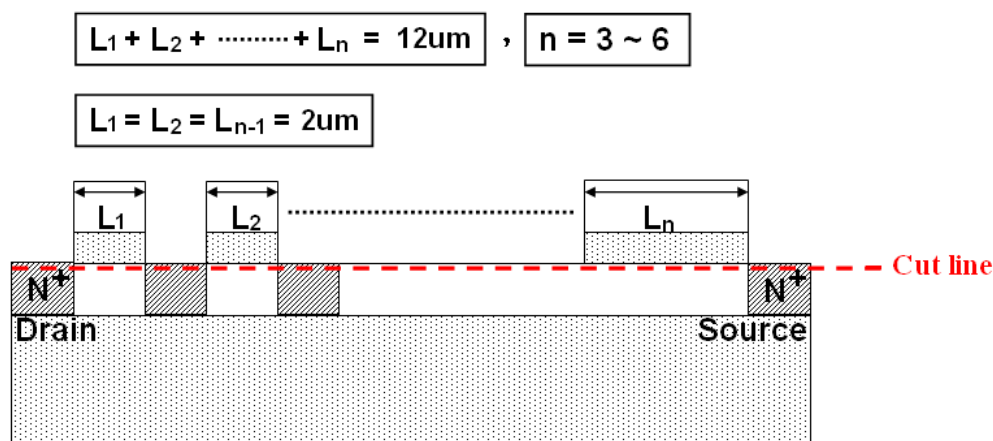


圖 3.6 Multiple Gate 結構圖

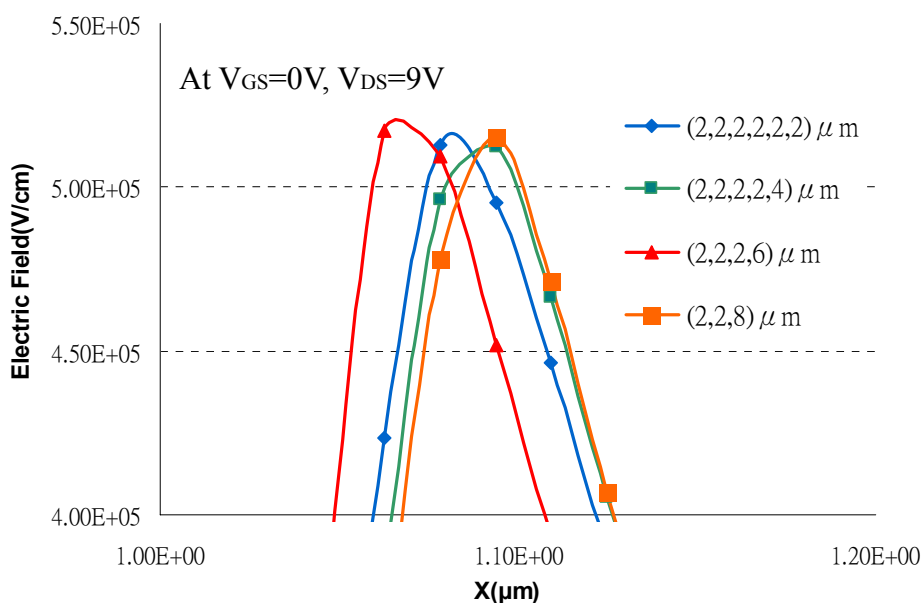


圖 3.7 Multiple Gate 水平電場圖

從圖 3.7 我們可以發現，各個結構的電場曲線差異性很小，而過去文獻中所提的結論是閘極數目越多越理想，但其實我們看到，閘極數目跟汲極接面電場並沒有太大的關連，主因是在於，製作越多閘極，每一段通道長度就會縮小，而縮小的結果使得電位容易被延升至下一個摻雜區域；綜合以上三個實驗結果，我們明確的知道，只要控

制住 First Gate 的大小，就能掌握此結構的優點，所以接下來我們開始利用數學算式，企圖算出在給定偏壓值的情況下，通道空乏區的極限值，觀察是否閘極長度超過空乏區的極限值，電場將明顯的上升，並利用模擬結果加以比對佐證。證明 First Gate 的可行性後，試圖計算往後的 Second Gate 是否也可以用同樣的方法求出通道空乏區的極限值，並模擬其 Second Gate Length 的水平電場圖，加以比對，並再次證明。

### 3-3 結果與討論

從前面實驗模擬的結果，我們清楚的知道要得到較低的 Multigate 汲極端接面電場，也就是等於要控制通道的空乏區；而本章節要討論，如何利用半導體物理計算出空乏區大小，以及在偏壓下通道的總空乏區大小，計算出結果後，再利用模擬軟體比對數據，觀察是否互相吻合。

一開始，我們將 TFT 元件的通道等效為 P 型 Silicon，並利用 PN Junction 的半導體物理公式開始著手計算，其公式如下：

$$X_p = \left\{ \frac{2\epsilon_s(V_{bi}+V_R)}{e} \left[ \frac{N_d}{N_a} \right] \left[ \frac{1}{N_a + N_d} \right] \right\}^{1/2}$$

$\epsilon_s$  為矽的介電係數

$V_{bi}$  為內建電位

$V_R$  為外加偏壓

$N_a$  為通道的載子濃度

$N_d$  為 S/D 端摻雜濃度

而我們在已知條件  $\epsilon_S$ 、 $V_{bi}$ 、 $N_a$ 、以及  $N_d$  情況下，將  $V_R$  等於 0V 帶入公式，得到  $X_p=0.77\mu\text{m}$ ，以及將  $V_R$  等於 9V 帶入公式，得到  $X_p=2.53\mu\text{m}$ ，通道空乏區的情形如圖 3.8 所示。

$$X_p = \left\{ \frac{2\epsilon_S(V_{bi}+V_R)}{e} \left[ \frac{N_d}{N_a} \right] \left[ \frac{1}{N_a + N_d} \right] \right\}^{1/2}$$

$\epsilon_S = 1.035\text{E-}12 \text{ (F/cm)}$   
 $V_{bi} = 0.933 \text{ (V)}$   
 $N_d = 5\text{E+}20 \text{ (1/cm}^3\text{)}$   
 $N_a = 2\text{E+}15 \text{ (1/cm}^3\text{)}$

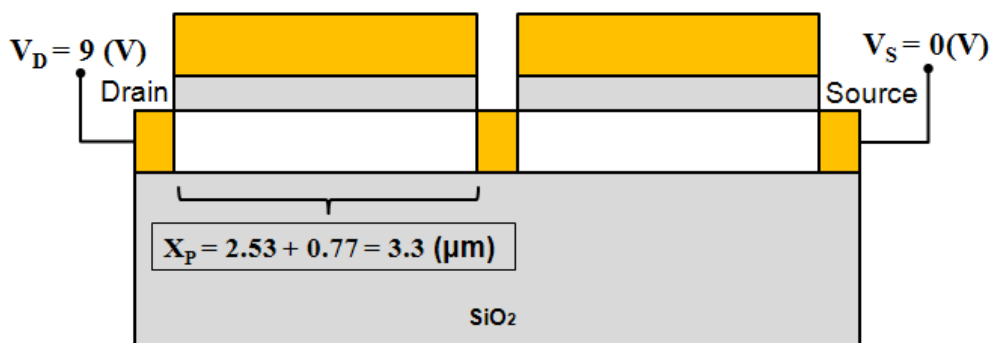


圖 3.8 外加偏壓  $V_{DS}=9\text{V}$  時，通道空乏區長度

經過計算後，我們得到 Multigate 在外加  $V_{DS}=9\text{V}$  時，First Gate 的通道空乏區長度為  $3.3\mu\text{m}$ ，也就是等於說，只要閘極製作長度超過  $3.3\mu\text{m}$  時，電位就無法被延升至下一個摻雜區域進行分壓，電場將會有大幅度的提升，以上是我們預期的結果。

接下來我們製作 First Gate 長度從  $1\mu\text{m}$  ~  $3.5\mu\text{m}$  的結構，並取得汲極接面電場值，相互比對是否吻合計算結果，如圖 3.9 所示。

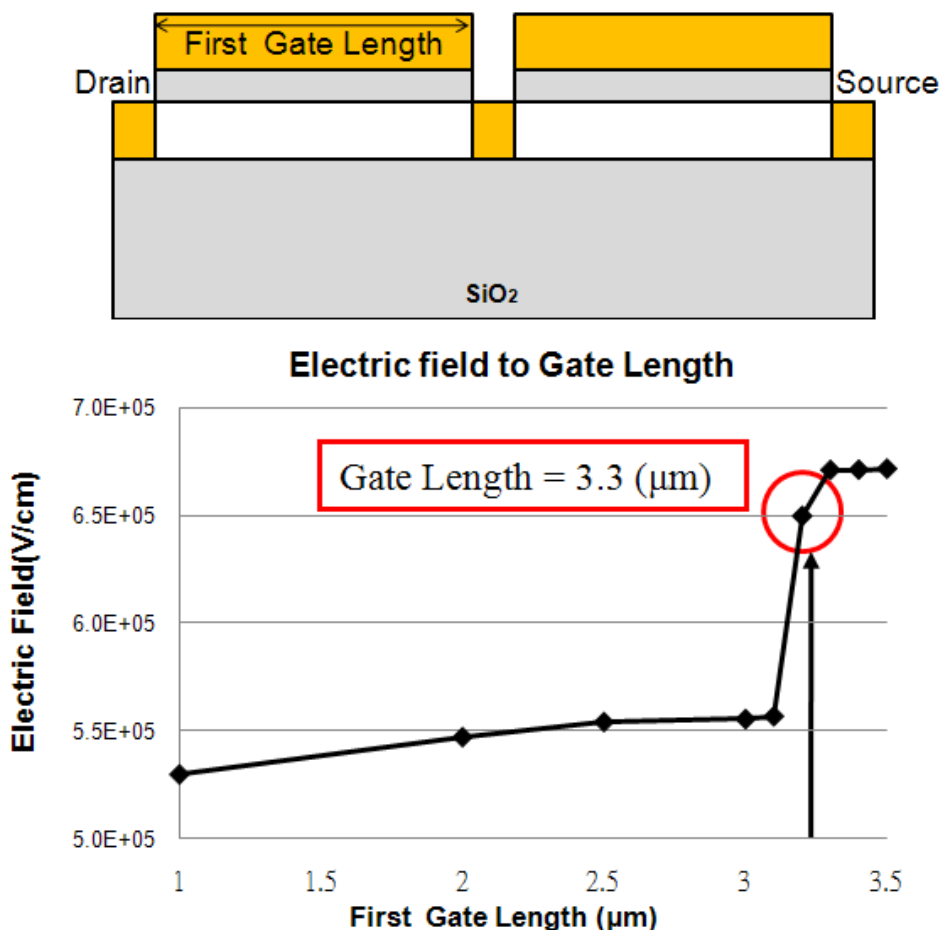


圖 3.9 First Gate Length 對 Drain 接面電場值

從折線圖 3.9 我們可以清楚的看到轉折點發生在  $X=3.3\mu\text{m}$  左右的地方，不出意料之外，經由物理計算得到 First Gate 通道空乏區的數值與模擬實驗的數據，幾乎吻合，但是找到 First Gate 的設計方法並不代表能精確的設計整個 Multigate 結構，因為次結構的用途通常擁有兩個或兩個以上的閘極，所以接下來我們要推導 Second Gate 的通道是否也可以用同樣的方法證明，往後並可以依此類推。

前文已提過，我們利用半導體物理中 PN Junction 的公式求得在給定偏壓  $V_R$  時相對應的  $X_P$  數值，接下來我們開始著手計算，在已知偏壓下 Second Gate 通道空乏區的極限值。首先，我們將 First Gate Length 固定為  $2\mu\text{m}$ ，這麼做是因為 First Gate 太長的話，電位就無法延升至下一個摻雜區，而單看 Second Gate 的情況下，等於沒有給此原件操作偏壓；所以，此做法是為了要讓 First Gate 的電壓延升至 Second Gate，才有辦法利用延升電壓計算 Second Gate 通道空乏區，以及觀察水平電場的變化；我們利用前面實驗  $(2,10)\mu\text{m}$  結構的電位圖，得知  $V_{DS}'=5.95\text{V}$ ，如圖 3.10(a) 所示，並計算  $V_R=5.95\text{V}$  時的  $X_P=2.10\mu\text{m}$ 、 $V_R=0\text{V}$  時的  $X_P=0.77\mu\text{m}$ ，而通道總空乏區為  $2.10\mu\text{m}+0.77\mu\text{m}=2.87\mu\text{m}$ ，如圖 3.10(b) 所示。

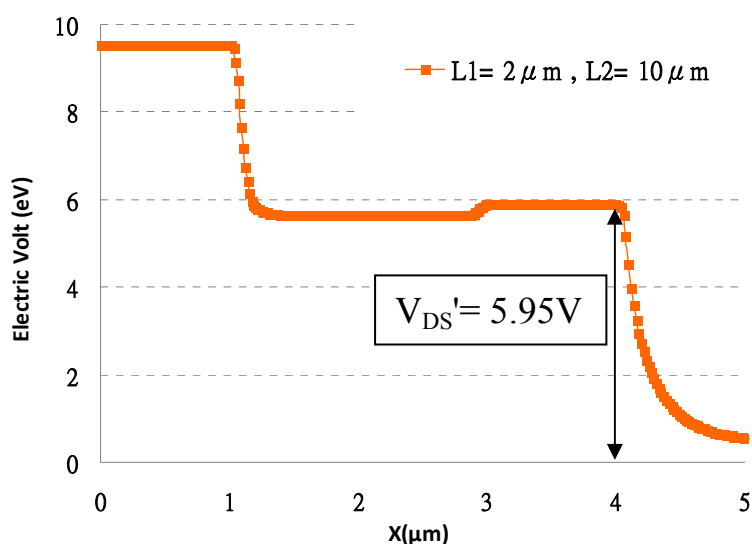


圖 3.10(a) 結構  $(2,10)\mu\text{m}$  之電位圖

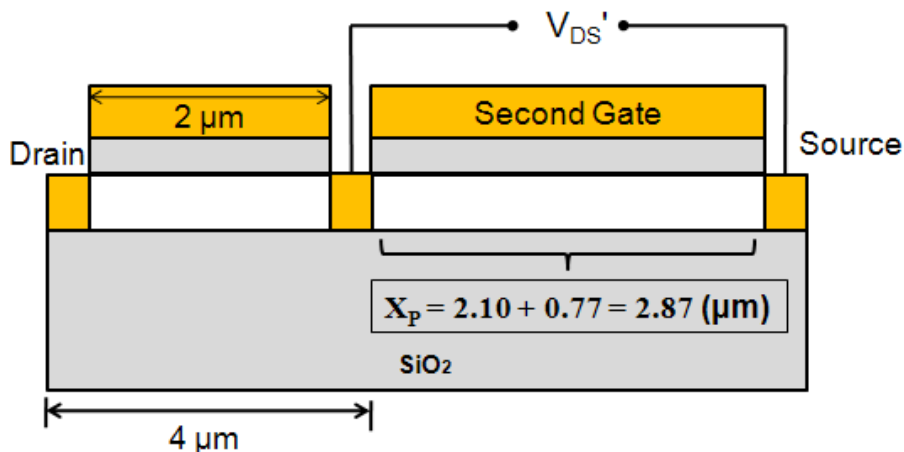


圖 3.10(b)  $V_{DS}'=5.95V$  時 Second Gate 通道空乏區長度

經過物理計算後，得知 Second Gate Length 超過  $2.9\mu m$  左右時，電場將會進一步的提升，所以我們製作了只變動 Second Gate Length 的三閘結構，其詳細條件為  $L_1 + L_2 + L_3 = 12\mu m$ 、 $L_1$  固定為  $2\mu m$ 、 $L_2 = 1\mu m \sim 3\mu m$ ，如圖 3.11 所示，並掃描其水平電性，取得電場峰值並繪製成折線圖分析，如圖 3.12 所示。

$$L_1 + L_2 + L_3 = 12 (\mu m)$$

$$L_1 = 2 (\mu m)$$

$$L_2 = 1, 2, 2.5, 2.8, 2.9, 3 (\mu m)$$

$$L_3 = 9, 8, 7.5, 7.2, 7.1, 7 (\mu m)$$

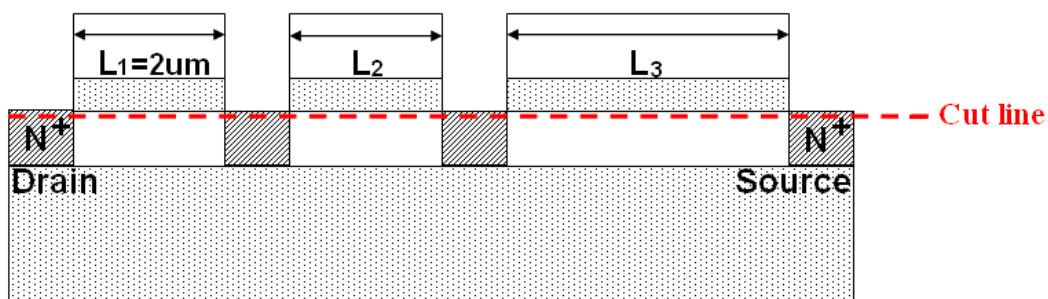


圖 3.11 變動 Second Gate Length 之 Triple Gate 結構

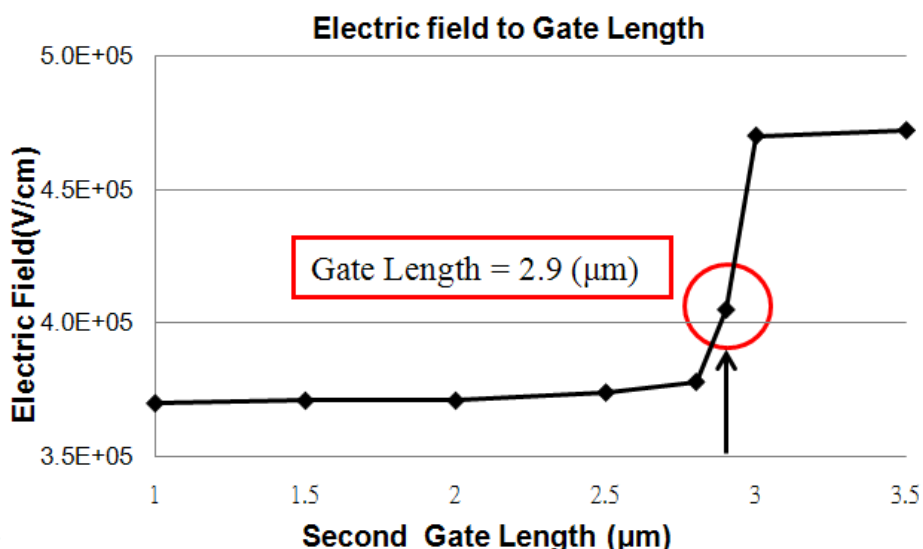


圖 3.12 Second Gate Length 電場峰值折線圖

從圖 3.12 我們可以看到，轉折點發生在 2.9μm 左右的地方，這與我們用物理所推論出來的位置不謀而合，因此，我們就可以證明出此結構的原理，並且不管做多少閘極、操做多大的偏壓，往後我們都可以依此類推，並計算出電場表現最好得結構；所以 Multigate 完整的設計方法與物裡表現都在此專題中一覽無遺，如此一來此專題的可行性就可被證明。



## 第四章 結論

在實驗之前，我們知道過去所提出的多閘極薄膜電晶體結構能使汲極端的電場值降低，但我們好奇此結構到底運用何種物理機制解釋，以及如何製作出精確的結構，這些都是以往文獻未提及的問題；而在本實驗中，我們利用 ISE TCAD 此套軟體進行了對 Multigate TFT 二維的模擬，並且研究了許多不同閘極長度的電場值，也證實了此結構相較於傳統的薄膜電晶體，不僅能有效的降低 20% 以上汲極端的電場值，且也為此結構提出了其物理特性，其因操作偏壓而導致通道產生全空乏的情形，使得電壓延升至下一個摻雜區域進行分壓的動作，促使降低其電場峰值；而設計準則方面，只要計算出因偏壓產生的空乏區大小，並且控制閘極長度維持在空乏區域內，就能有效的抑止高界面電場，及其所帶來的不理想效應。

## 參考文獻

- [1-1] S. Gauza, X. Zhu, W. Piecek, R. Dabrowski, and S. T. Wu, "Fast Switching Liquid Crystals for Color-Sequential LCDs," *J. Display Technol.*, vol. 3, no. 3, pp.250-252, Sep. 2007.
- [1-2] J. S. Chen, and M. D. Ker, Senior, "New Gate-Bias Voltage-Generating Technique With Threshold-Voltage Compensation for On-Glass Analog Circuits in LTPS Process," *J. Display Technol.*, pp.309-314, vol. 3, no. 3, Sept. 2007.
- [1-3] T. Morita, "An overview of active matrix LCDs in business and technology," in *AMLCD Tech. Dig.*, pp. 1-7, 1995
- [1-4] B. Atwood, T. Ishii, T. Osabe, T. Mine, F. Murai, K. Yano, "SESO Memory: A CMOS compatible high density embedded memory technology for mobile applications," in *Proc. Symp. VLSI Circuits*, 2002, pp. 154–155.
- [1-5] S. C. Chen et al., "A Novel Nanowire Channel Poly-Si TFT Functioning as Transistor and Nonvolatile SONOS Memory," *IEEE Electron Device Lett.*, vol. 28, no. 9, pp. 809-811, Sept. 2007.
- [1-7] H. Wang, M. Chan, S. Jagar, Y. Wang, and P. K. Ko, "Submicron Super TFTs for 3-D VLSI Applications," *IEEE Trans. Electron Devices*, vol. 21, no. 9, pp. 439-441, Sept. 2000.
- [1-6] H. Wang, M. Chan, S. Jagar, Y. Wang, and P. K. Ko, "Submicron Super TFTs for 3-D VLSI Applications," *IEEE Trans. Electron Devices*, vol. 21, no. 9, pp. 439-441, Sept. 2000.
- [1-7] R. E. I. Schropp and J. K. Rath, "Novel Profiled Thin-Film Polycrystalline Silicon Solar Cells on Stainless Steel Substrates," *IEEE Trans. Electron Devices*, vol. 46, no. 10, pp. 2069-2071, Oct. 1999.
- [1-8] C. Y. Chang, Y. K. Fang, and B. S. Wu, "A High Short-circuit Current Inversion Layer Poly-Si Solar Cell", *IEEE Trans. Electron Devices*, vol. ed-32, no. 3, pp. 712-713, Mar. 1985.
- [1-9] 紀國鐘, 鄭晃忠 編著 "液晶顯示器技術手冊" 台灣電子材料與元件協會 2004.
- [1-10] J. G Fossum, A. Oritz-Conde, H. Shichijo, and S. K. Banerjee, "Anomalous leakage current in LPCVD polysilicon MOSFET's," *IEEE Trans. Electron Devices*, vol. 32, pp. 1878-1884, 1985
- [1-11] K. R. Olasupo, M. K. Hatalis, "Leakage current mechanism in sub-micron polysilicon thin-film transistors," *IEEE Trans. Electron Devices*, vol. 43, pp. 1218-1223, 1996

- [1-12] M. Lack, I. W. Wu, T. J. King, A. G. Lewis, "Analysis of leakage currents in poly-silicon thin film transistors," in *IEDM Tech. Dig.*, 1993, pp. 385-388
- [1-13] M. Yazaki, S. Takenaka, and H. Ohshima, "Conduction Mechanism of Leakage Current Observed in Metal-Oxide-Semiconductor Transistors and Poly-Si Thin Film Transistors," *Jpn. J. Appl. Phys.*, Vol. 31, pp. 206-209, 1992
- [1-14] M. Hack and A. G. Lewis, "Avalanche-Induced Effects in Poly silicon Thin-Film Transistors," *IEEE Electron Device Lett.*, vol. 12, no. 5, May 1991.
- [1-15] A. Valletta, P. Guucci, L. Mariucci, G. Fortunato, "Modelling velocity saturation and kink effects in p-channel polysilicon thin-film transistors," *Thin Solid Films*, vol.515, pp.7417-7421, 2005.
- [1-16] 陳志強 編著 "LTPS 低溫複晶矽顯示器技術" 全華科技圖書股份有限公司 p.3-11~3-13 2004
- [1-17] D. D. Venutoa, M. J. Ohletzb," Floating body effects model for fault simulation of fully depleted CMOS/SOI circuits," *Microelectronics Journal*, vol. 34, pp.889-895, 2003.
- [1-18] S. Bindra , S. Haldar , R.S. Gupta ," Modeling of kink effect in polysilicon thin film transistor using charge sheet approach," *Solid-State Electronics*, vol. 47, pp.645-651, 2003.
- [1-19] A. K. K.P., J. K. O. Sin, C. T. Nguyen, and P. K. Ko, "Kink-Free Polycrystalline Silicon Double-Gate Elevated-Channel Thin-Film Transistors," *IEEE Trans. Electron Devices*, vol. 45, no. 12, Dec. 1998
- [1-20] P. Y. Kuo, T. S. Chao, and T. F. Le, "Suppression of the Floating-Body Effect in Poly-Si Thin-Film Transistors With Self-Aligned Schottky Barrier Source and Ohmic Body Contact Structure," *IEEE Electron Device Lett.*, vol. 25, no. 9, Sep. 2004