



# 逢甲大學學生報告 ePaper

報告題名：

水平雙擴散電晶體之 SOI 結構模擬分析

LDMOS of SOI structure by Using SILVACO

作者： 劉衍昌、薛惟仁

系級： 電子四甲

學號： D9230259、D9266759

開課老師： 李景松 老師

課程名稱： 化合物半導體

開課系所： 電子工程學系

開課學年： 九十五學年度 第一 學期



## 摘 要

由於半導體產業技術不斷進步下，高壓工率驅動元件越顯的重要，耐高壓的功率元件可應用於高功率、低阻抗之電子開關上。我們使用製程軟體 silvaco 模擬雙擴散金氧半電晶體做整個元件的製程模擬和電性分析，以獲得較佳的製程參數。

雙擴散金氧半電晶體部分則應用 Reduce Surface Field(簡稱 RESURF 原理)來增進電晶體耐壓的能力，並針對元件的終端結構利用場板 ( field plate ) 的方法來改善元件終端的電場分佈，此外使用絕緣層上矽晶結構的晶片(SOI)，利用埋藏氧化層具有比矽更高的耐壓能力，在 SOI 絕緣層當為 4um 時，我們發現最佳場板長度為 11um。另外也討論了 p-body 邊界長度越靠近氧化層的鳥嘴結構，則電晶體的崩潰電壓也就越高。磊晶層厚度也是影響崩潰電壓因素之一，太厚磊晶層反而會導致提早崩潰，使氧化層沒有完全發揮到耐壓特性。

本篇專題主要內容再討論 LDMOS 之 SOI 結構特性，包括了元件驅動電壓、電壓-電流特性、崩潰電壓，用 Silvaco 軟體來討論結果。

關鍵字：LDMOS、SOI、RESURF 定理、場版定理。

## 目 錄

摘要 .....	-1-
目錄 .....	-2-
第一章 前言 .....	p.1
第二章 元件的發展 .....	p.3
2.1 垂直式元件發展 .....	P.5
2.2 橫向式元件的發展 .....	P.6
第三章 功率元件工作原理 .....	p.8
3.1 崩潰機制 .....	p.8
3.2 RESURF 的原理及運用 .....	p.10
3.3 場板定理 .....	p.15
第四章 SILVACO 驗證 .....	p.18
4.1 原始元件 .....	p.18
4.2 改變氧化層厚度 .....	p.22
4.3 改變閘極多晶矽長度 .....	p.25
4.4 汲極金屬長度改變 .....	p.28
4.5 磊晶層濃度變化 .....	p.31
4.6 P-body 寬度的改變 .....	p.33
4.7 磊晶層厚度改變 .....	p.38

<b>第五章</b>	<b>SILVACO 程式碼討論</b> .....	p.43
	5.1 原始碼.....	p.43
	5.2 程式相關內容補充說明.....	p.54
<b>第六章</b>	<b>結論</b> .....	p.65
	Reference.....	p.68



## 第一章 前 言

自 1974 年電晶體發明後，由於製程技術的快速發展與突破，半導體工業日新月異，高功率元件經常被應用在許多方面，例如：數位相機、燈光調變、馬達控制、通訊產業及捷運系統等等。高功率電晶體因為可以承受大電壓及大電流，加上將功率元件運用在半導體製程方面有許多好處，不但可以縮小產品的體積，降低了生產成本還能減少功率的損失。

高功率元件基本上有水平式(LDMOSFET)及垂直式(DMOSFET)，其中縱向結構以溝槽式閘極功率電晶體為代表，橫向結構以雙擴散金氧半電晶體為代表。雙擴散電晶體運用了 Reduce Surface Field(RESURF 原理)來增進電晶體耐壓能力，且使用絕緣層上的矽晶結構晶片(SOI)，利用了氧化層具有比矽更高的耐壓能力。

由於 CMOS 元件隨著時代的演進，速度越來越快，體積越來越小，也產生了短通道效應(Short Channel Effect)，寄生電容(Parasitic Capacitance)，高電場效應(High Electric Field Effect)。而 SOI MOS 元件製作的電路具有速度快、功率佳、消耗低、元件密度高，沒有 CMOS 閉鎖問題(Latch up)，也改善了元件二次效應(Second Order Effect)，並可和現有 VLSI 技術相容等優點，因此 SOI 製程技術正逐漸成為下一代 CMOS SOI 主流。

一般來說，良好的功率元件必須包含以下特點：

- (1)在功率方面：需有耐高壓和承載大電流的能力，其安全操作區域(Safe Operating Area，簡稱SOA)要大，也就是說對於突增的電流及電壓具有較大的抗性，能夠有效的避免二次崩潰的發生。
- (2)在速度方面：可操作的頻率要高，即切換速度要快。
- (3)在損耗方面：需有低漏電功率消耗、低導通功率消耗、低切換功率

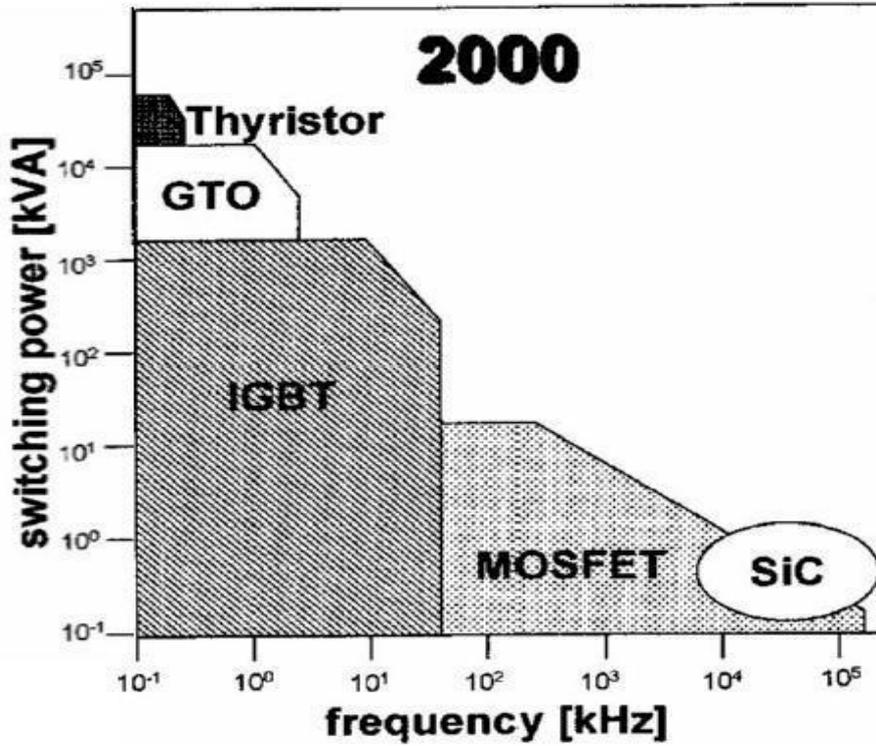
消耗的特性。

(4)在驅動方面：具備低電壓驅動和簡單的驅動電路。

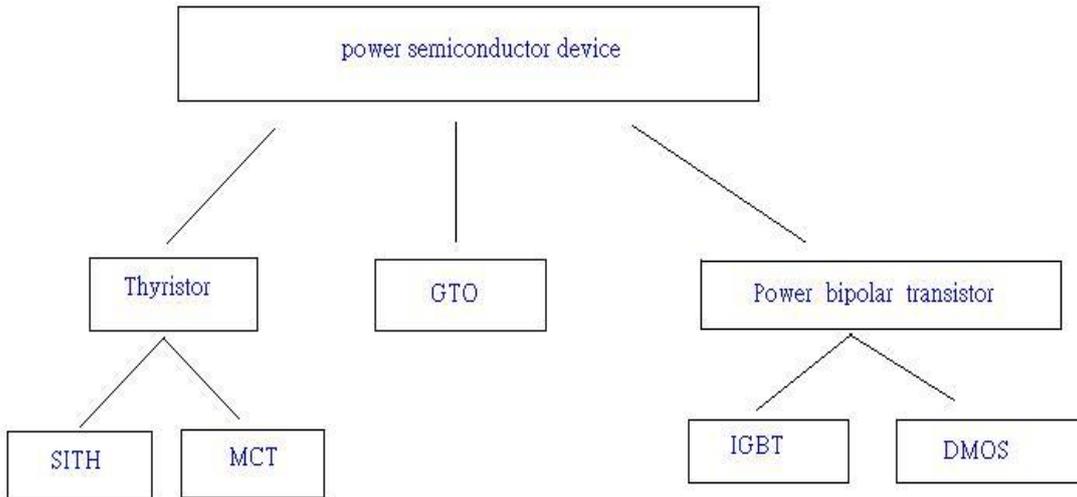
LDMOSFET 和 LIGBT 都有以上的特點。LDMOSFET 缺點有傳統垂直式 DMOSFT 高導通電阻現象發生。LIGBT 缺點有垂直式的 IGBT 閉關延遲和門鎖現象發生。一個省電、高功率、耐壓、高頻率的元件、將是以後製作理想功率原件所備有的必要條件。

不管原件發展的多快，都依照了 1965 年格登莫爾提出的莫爾定律(Moore's Law)。莫爾定律:半導體製程技術會在每 18 個月左右，在一個尺寸相同的晶片上，所能容忍的電晶體數量將會提升一倍，且晶片的容量是以電晶體的多寡來計算，電晶體越多執行速度就越快、功能越好、成本越低。

## 第二章 元件發展史



圖(2-1) 功率元件的運用範圍



圖(2-2) 功率元件的發展

功率雙載子電晶體(Power Bipolar Transistor)在 1950 年代初期被發展出來，功率雙載子電晶體雖然擁有吸引人的額定功率(Rating Power)但在操作特性下仍有缺點。功率雙載子電晶體射極(Emitter)、基極(Base)，集極(Collector)和功率元件金氧半場效電晶體的源極(Source)、閘極(Gate)、汲極(Drain)相對應。功率元件金氧半場效電晶體最大優點就是輸入阻抗很大，因為訊號是從閘極輸入，且閘極再半導體表面上被一層絕緣層二氧化矽(SiO<sub>2</sub>)所隔離使得閘極漏電流非常低，相對於多載子接面電晶體也不需要複雜的輸入驅動電路。另一方面，功率元件金氧半場效電晶體是藉由多數載子來傳導電流，使元件在切換時沒有如雙載子電晶體中少數載子儲存的現象發生。此外，功率元件金氧半場效電晶體的電流與溫度之關係成負溫度係數，能增加元件操作時的穩定性，所以使功率元件金氧半場效電晶體在 70 年代後取代了雙載子接面電晶體。

功率元件因其結構不同可分為兩大類：橫向式結構和垂直式結構兩種。其中橫向式結構的元件因為可以和 CMOS 整合在一起，所以在功率積體電路上扮演很重要的角色。至於垂直式結構的元件因為其縱向的結構，使它可以導通較大的電流且承受較大的耐壓，但它較難和橫向式結構的積體電路整合，因此大多被做成離散的單顆元件。

對功率元件金氧半場效電晶體而言，伴隨製程技術的進步，使元件尺寸縮小而造成短通道效應(Short Channel Effect)將會是一個重大的問題。由於閘極寬度縮小，雖然會提升元件的速率，卻因為汲極到源極距離縮短，使的汲極、源極的空乏區佔據了部份通道(比例上)。

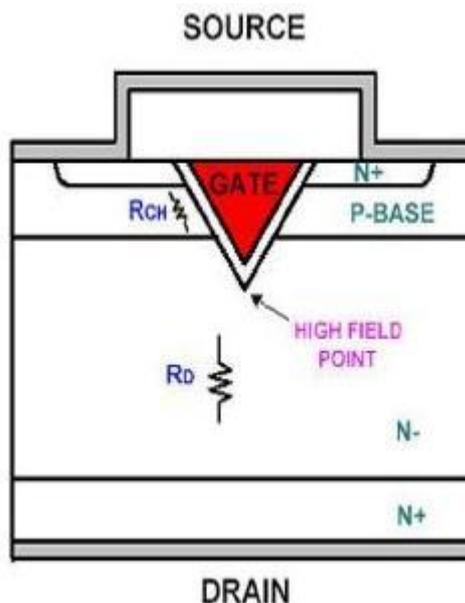
### 功率元件的基本架構與發展

功率金氧半場效電晶體在解構上可分為兩種，一種是水平式雙擴散金氧半場效電晶體 ( lateral double-diffused MOSFET 簡稱 LDMOS )，另一種是垂直式功率金氧半場效電晶體( vertical power MOSFET 簡稱 VMOS)

## 2.1 垂直式元件發展

### (1) V-MOSFET

是利用在矽表面上挖一個 V 字型的溝槽而製程的。但此解構在 V 型底部尖端，容易照成高電場的過度聚集而導致崩潰發生在此處，且 V 字型溝槽蝕刻過程不穩定會照成臨界電壓(threshold voltage)的不穩。

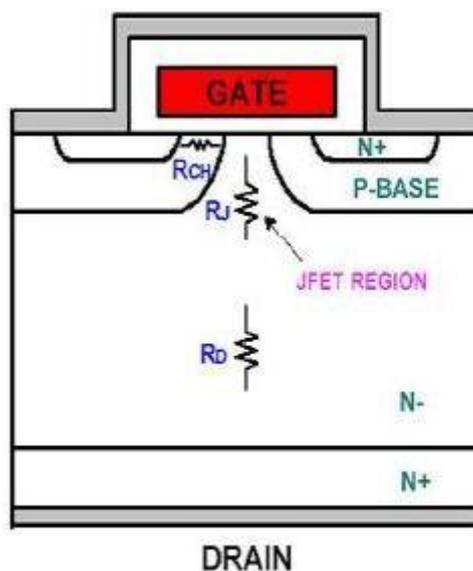


圖(2-3) VMOS STRUCTURE

### (2) DMOSFET&VDMOSFET

DMOSFET 是功率元件中最基本的元件，現今不論是橫向式或垂直式元件，大多由 DMOSFET 結構衍生而來。

垂直式雙擴散金氧半電晶體 (VDMOSFET) 使用平面雙擴散技術製作而成(planar double diffused)，約在 1980 年成功的發展。VDMOSFET 解構中 P 基體區 (P-base) 和源極區是利用相同的窗



圖(2-4) VDMOS STRUCTURE

口擴散來獲得更深的接面深度，所以稱為雙擴散製程技術。在傳統 DMOS (double-diffusion MOSFET) 功率半導體中，元件利用兩側 P-well 與 N-磊晶層之空乏區邊界往中間夾擠所產生的 JFET(junction field effect transistor) 效應

來控制垂直導通電流大小。由於 P-N 接面轉角處由於電力線密集，易發生雪崩效應(avalanche breakdown)，因此在元件的設計上會減少複晶矽閘極長度，來改變接面空乏區等位線之曲率，以提高元件的崩潰電壓。

### (3) 溝槽式閘極電晶體(UMOSFET)

UMOSFET 能藉由微影蝕刻的技術有效縮小元件寬度，即增加元件密度，提高單位面積的電流，使導通電阻降低而不會產生 JFET 的問題。

UMOSFET 的 U 正是因為它有一個 U 的溝槽，UMOSFET 比 VMOSFET 與 VDMOSFET 有更高的通道密集度

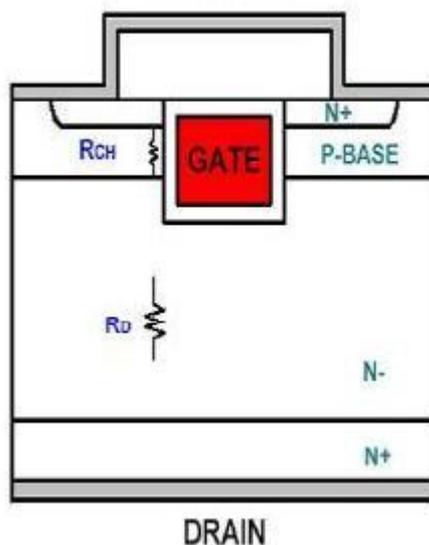
(channel density)，這使得 UMOSFET

的導通電阻可以大大的減少。溝槽式

閘極電晶體因為具有高輸入阻抗、低導

通電阻及高切換速度等優點。因此，如

何降低它的導通電阻、提高切換速率及為一重要研究。

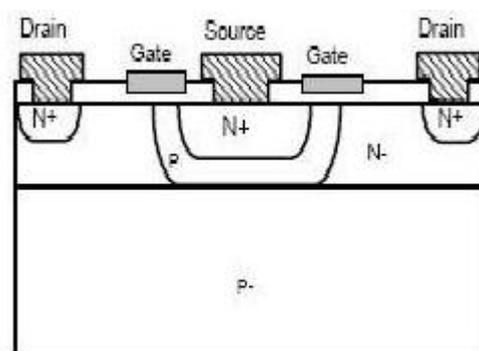


圖(2-5) UMOS STRUCTURE

## 2.2 橫向式元件的發展

### LDMOSFET(Lateral DMOSFET)

是從 DMOSFET 發展出來的元件包括源極(source)、閘極(gate)、汲極(drain)、基底(substrate)等四個端點。它的基本操作原理和任何 MOSFET 相同，都是利用閘極電壓來產生通道控制流經源



圖(2-6) LDMOS STRUCTURE

極和汲極之間的電流。水平式的功率金氧半場效電晶體的優點是容易製造且容易和現行的半導體技術整合，然而 LDMOSFET 增加耐壓的方式是增加汲極附近的漂移區長度，因此浪費了許多面積，所以 LDMOSFET 的努力方向是不斷的降低導通電阻，而還能維持相當高的電壓。

## 第三章 功率元件工作原理

### 3.1 崩潰機制

在我們現在所學的教科書認知以及運用學校資源所查詢的資料，整體來說我們有四種崩潰的機制，分別是累增型崩潰機制 (Avalance Breakdown)、雙載子接面崩潰 (Bipolar Junction Transistor, BJT Breakdown)、稽納崩潰 (Zener Breakdown) 以及氧化層崩潰 (Oxide Breakdown)，產生的機制通常是操作在高電壓的環境，也有些崩潰機制是屬於更細微的部份，那些則是要在研究所探討部份，現階段我們則討論這四種崩潰討論，以下則是我們組員文獻討論以及與老師討論所做的報告內容：

#### (1) 累增型崩潰 (Avalance Breakdown)

在功率金氧半場效電晶體 (Power MOSFET) 中，載子通常是藉由熱游離 (Thermal-Generation) 從準中性區 (Quasi-neutral Region) 傳送載子，但是當 P-N 接面或其他元件外接一個逆偏壓在汲極 (Gate) 和源極 (Sorce)，當逆偏壓加大時接面的電場也逐漸變大，P-N 接面的電場在其通道下方角落最為密集，載子則經由電場的加速獲得足夠的能量，足以衝撞晶格原子，且在這一高電壓的環境下電子由共價帶 (valance band) 激發至傳導帶 (conduction band)，產生衝擊游離 (Impact Ionization) 使得電子電洞對快速增加。在這種倍增的現象中，載子會越來越多如同雪球一般越滾越大，導致元件無法正常工作也因為電子的無限大增加形成大電流燒毀。

#### (2) 雙載子接面崩潰 (Bipolar Junction Transistor, BJT Breakdown)

在功率電晶體中，由於有雙載子的存在，當元件產生雪崩崩潰時，崩潰電流由 P 型井衝到 SOURCE 的  $N^+$ ，當電壓超過  $N^+$  源極和 P 型井區的內建電壓 ( $V$

$t_i$ )，使的寄生雙載子接面電晶體導通，發生崩潰。

### (3) 稽納崩潰 (Zener Breakdown)

此崩潰發生於高摻雜濃度的  $N^+ / P^+$  接面的稽納二極體，而不發生在功率金氧半元件，此現象通常發生在崩潰電壓小於六伏特，而且通常發生在高電場約  $1 \text{ MV/cm}$ ，雖然此崩潰還有值得討論的特性，像是稽納崩潰在電流增加時表現更陡峭，但是因為此次專題研究乃是對 MOSFET 的崩潰機制作討論，所以不在此多做介紹。

### (4) 氧化層崩潰 (Oxide Breakdown)

氧化層上的電場隨著氧化層厚度減少而增加，而且也隨著跨電壓增大而增加，而電場與電壓還有厚度的關係式

$$E_{\text{ox}} = V_{\text{apply}} / t_{\text{ox}}$$

$E_{\text{ox}}$ ：為氧化層的電場； $V_{\text{apply}}$ ：為氧化層上的電壓； $t_{\text{ox}}$ ：為氧化層厚度

當電場非常高的時候約（約  $10 \text{ MV/CM}$ ），造成電子衝到氧化層使氧化層不能絕緣，當電場持續加大會導致累積的載子越來越多形成一個強大的漏電流，此時漏電流會將元件燒毀，所以此崩潰是我們需要注意的現象。

而在這些崩潰機制大部分是條件及發生場合，但是其基本的崩潰模式依然脫離不了雪崩崩潰，跟穿透崩潰 (Punch-through Breakdown) 就討論這兩崩潰現象發生原因，當然機制產生的崩潰也有下列現象：

### (5) 穿透崩潰 (Punch-through Breakdown)

此崩潰會發生在 PNP 及 NPN 有著雙接面的結構中，當空乏區大到接觸另一接面，空乏區會彼此相連形成連續的接面，使得位能能壁變小電流則會

無阻礙的在兩接面流動，此時元件無法抵抗電壓，容易導致元件燒毀。

### (6) 雪崩崩潰 (avalanche breakdown) (同累增崩潰)

在逆偏升高時,P-N 接面能壁會上升，當逆偏電壓  $V_R$  (及產生的電場  $E$ ) 夠大的話，電子將所獲得的動能再碰撞時將足以打斷晶格的共價鍵將產生一電子-電洞對，當電子或電洞由較高能階返回較低能階時將產生有動能  $E_K$  之移動之電子或電洞再次碰撞時將產生兩對晶格的共價鍵打斷產生兩對電子-電洞對，最後二變四、四變八等因磊增效應最後將產生非常多移動電子，此種現象稱為雪崩效應，像雪球般越滾越大故稱之。

如果溫度上升,聲子散射 (Phonon Scattering) 會增強,而使兩次碰撞間的平均路徑縮短,需要較大的逆偏電壓  $V_R$  或電場  $E$ ，才足以達到電子臨界動能  $E_{kin}$ 。溫度上升會提高崩潰電壓，雪崩式崩潰具有正溫度係數，在大學部的授課內容尚未需要考慮溫度係數。

## 3.2 RESURF 的原理及運用

### (1) RESURF 原理

在現今的元件製程高度運用 RESURF 原理，尤其是我們專題研究的高耐壓 LDMOS 更是被廣泛使用，但是何謂 RESURF？

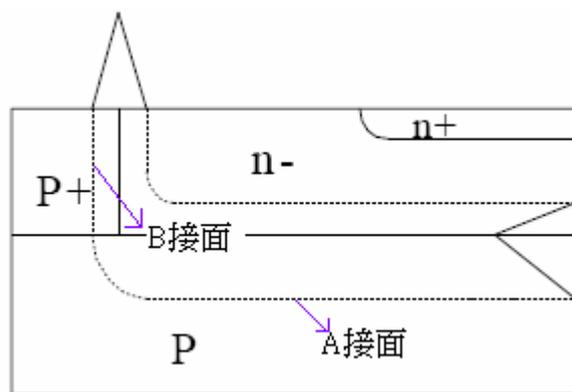
全名就是 Reduced Surface Field 是減低表面電場的一種觀念，RESURF 的觀念產至西元 1979 年，由 J. A. Appeals 與 H.M.J. Vaes 提出。發展至今的元件結構基本上是利用高阻值的矽晶片，或是長一層很厚的磊晶層和深入式的擴散技術，但是應用 RESURF 原理可以發現到薄的磊晶層厚度卻比厚的磊晶層具更高的崩潰耐壓，這樣不僅可以省去長磊晶層所花費的時間和金錢更可以獲得有更高的崩潰電壓的耐壓元件。

深入探討 RESURF 技術討論，使用薄的磊晶層是因為基底與漂移區接面的空乏區很容易向上延伸使漂移區完全空乏，這樣的運用和傳統的厚磊晶層比較不僅使的導通電阻變小，更因為空乏區長度因底部向上推擠而橫向大幅增加，使的表面電場也降低些許，這就是為何簡寫成 RESURF。

## (2) RESURF 運用

在這裡我們利用一個簡單的二極體結構來說明 RESURF 的基本觀念，如圖(3-1)這個二極體的結構除了磊晶層的厚度有所改變，其它方面是完全相同的。

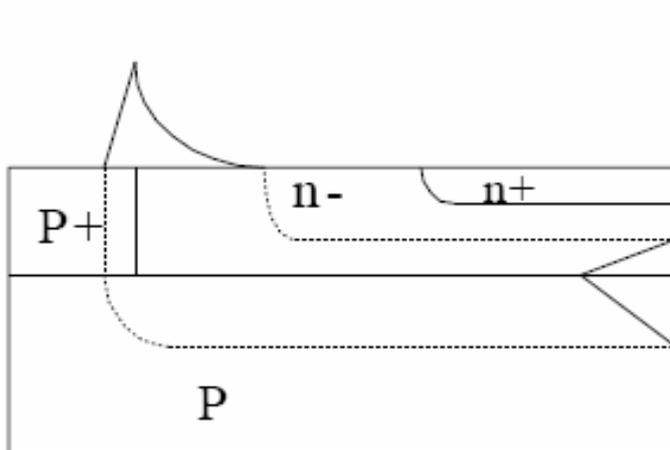
分別討論圖(3-1)是一個具厚磊晶層的 $P^+ - n - n^+$ 二極體，其中 $n^+$ 區到 $P^+$ 區的距離是磊晶層厚度的數倍大，在 $n^+$ 區域下方 $n$ 和基底間的水平界面（圖中標示A的位置），（圖中標示B接面的平面） $P^+$ 區旁的 $P^+ - n^-$ 垂直接面這兩個界面都可用平行界面模型來近似。在這個情況下由於 $P^+$ 區域參雜的濃度較高，所以垂直接面的空乏區大部分會往 $n$ 型區單邊延伸，和水平界面（A界面）空乏區兩邊延伸有所不同，如此一來造成崩潰的臨界電場會發生在垂直面與水名面的彎曲交接處，為了降低表面電場那我們就可以施加更大的電場一直到 $n$ 和Body的水平界面達到崩潰的臨界電場。



圖(3-1)

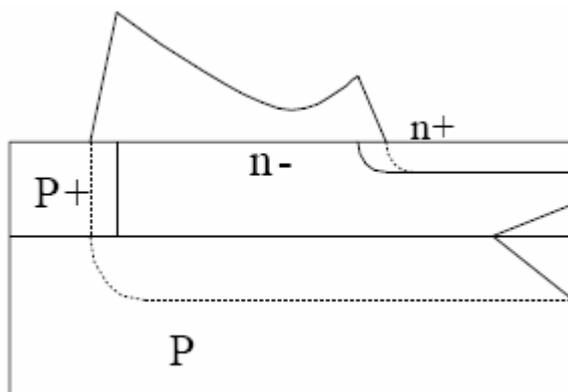
現在我們把磊晶層變薄後如圖(3-2)，磊晶層變薄後從Body往上延伸的空

乏區對 $P^+n^-$ 垂直接面的影響就要考慮，很明顯的可以看出水平(A界面)和垂直  
 界面(B界面)的影響下，在元件表面的空乏區在圖(3-1)B界面比在圖(3-1)A接  
 面延伸更長的距離，如此可以大量的減低表面電場，便是RESURF原理的一  
 種使用。



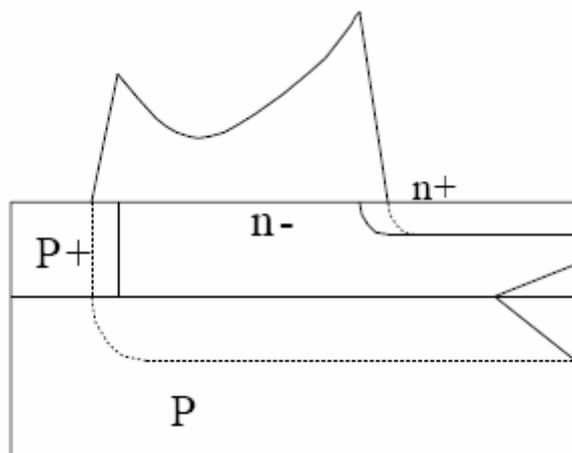
圖(3-2)

這樣我們就可以繼續增加施壓，使磊晶層完全的空乏，藉由基底往上延  
 伸的空乏區和 $P^+n^-$ 垂直接面以及 $n^+$ 區域彼此完全空乏的空乏區所隔絕，如圖  
 (3-3)。



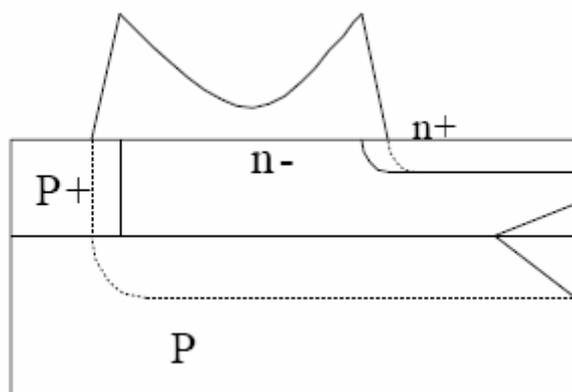
圖(3-3)

圖(3-4)的情形常出現在高阻值的磊晶層，當到達完全空乏時 $n^+n^-$ 的界面  
 因為電壓降無法往其它地方分散而導致電場不斷上升，最後達到崩潰的臨界  
 電場而崩潰。



圖(3-4)

最後達到崩潰的臨界電場而崩潰。至於最理想的狀態則是 $P^+$ - $n^-$ 接面和 $n^+$ - $n^-$ 接面的表面電場的峰值約一樣，所以電場的分佈會比較平均。這個實驗讓我們完全了運用RESURF的原理。

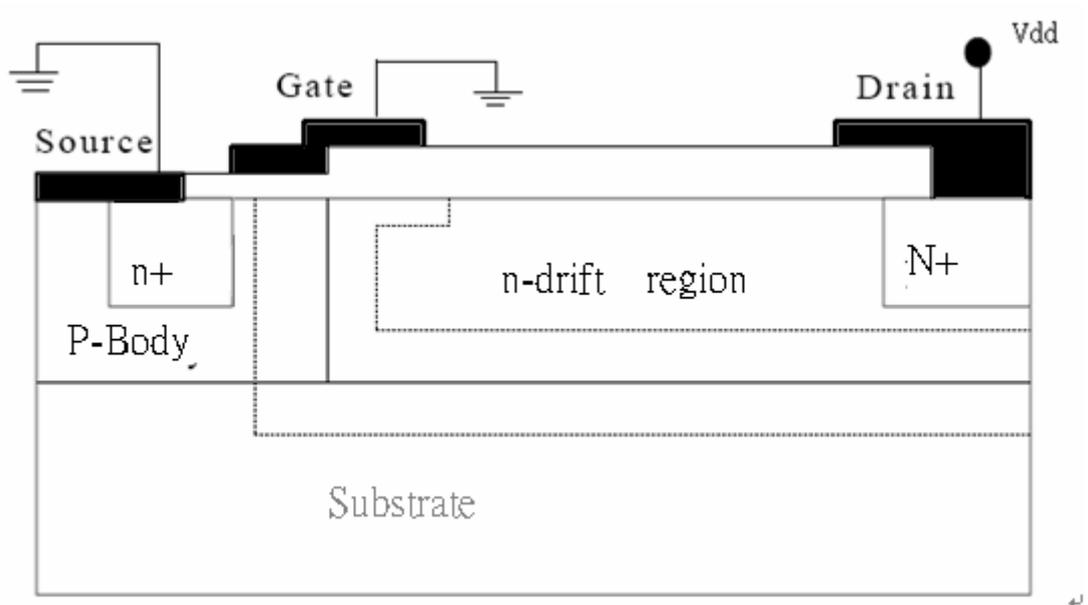


圖(3-5)

### (3) RESURF 原理運用在功率元件上面

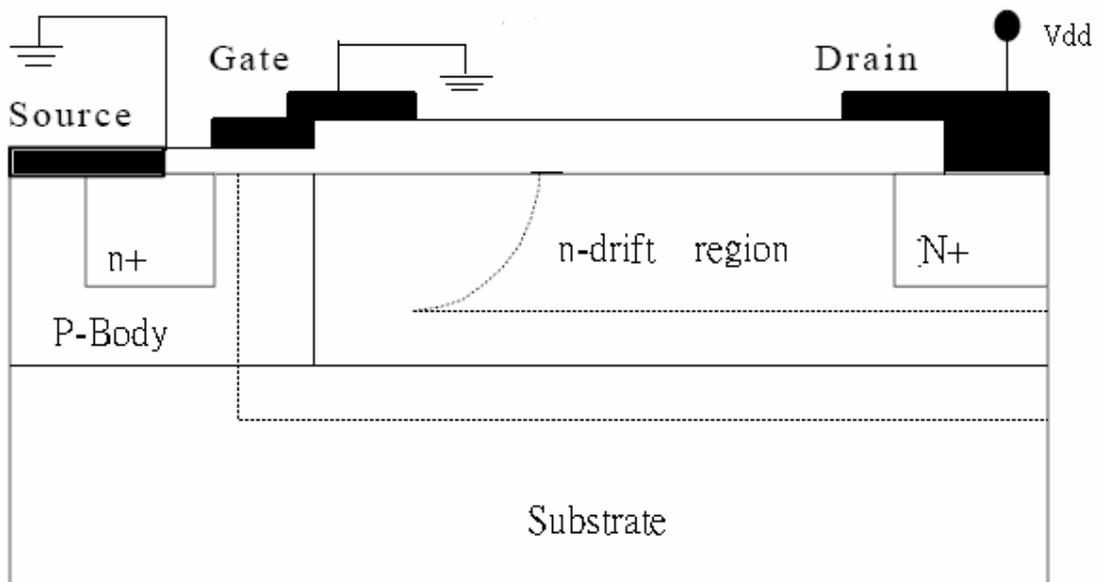
將 RESURF 原理運用在功率元件上面，並討論金氧半功率電晶體的崩潰，一般都是在關閉狀態下，所謂的關閉狀態就是指 Gate 和 Source 無電位差就是兩者都接地，使電晶體無法形成導通電流。其中的漂移區主要是用來做完全空乏的耐壓區，當 Drain 施加的電壓還不大時就如同一般的傳統的情況如圖(3-6)，此時基底的空乏區和表面的空乏區尚未交互作用，最高電場最會

發生在通道和漂移區的介面（角落鳥嘴附近）靠近表面的地方。



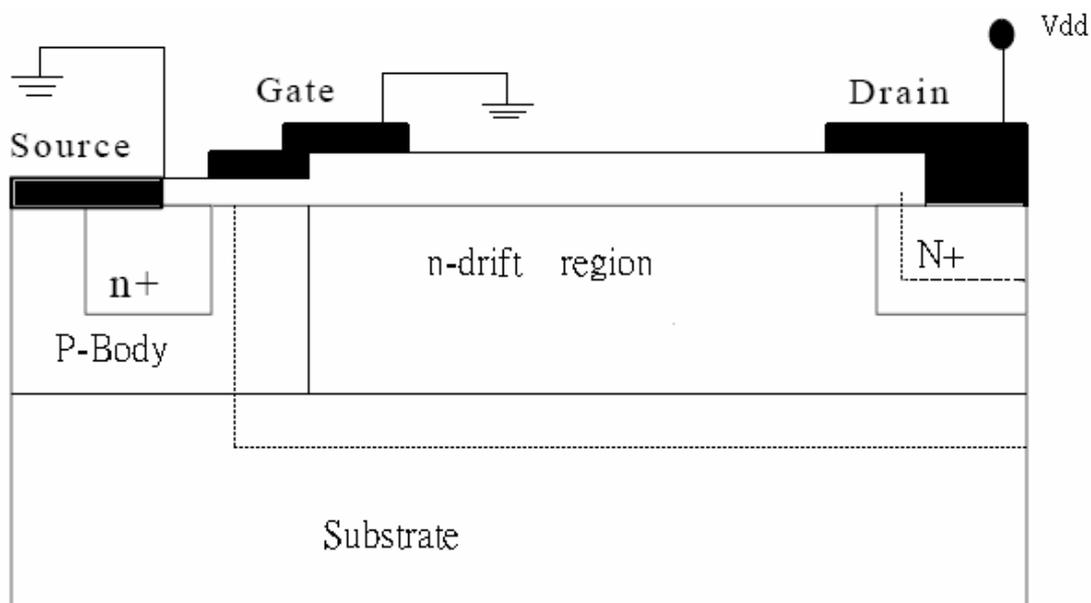
圖(3-6)

繼續升高 Drain 的電壓，則當 Gate 下方的空乏區和 Body 往上延伸的空乏區連成一片時如圖(3-7)，原本通道和漂移區接面的高電場因為耐壓的空乏區變長了便不再繼續增加，反而是在 Gate 下方因為曲率而會造成高電場。



圖(3-7)

持續的增加 Drain 電壓達到完全空乏如同圖(3-8)，則 RESURF 的效用在  
此時便發揮功效，電廠很明顯的平均分布，而不再是在同一聚集區崩潰。



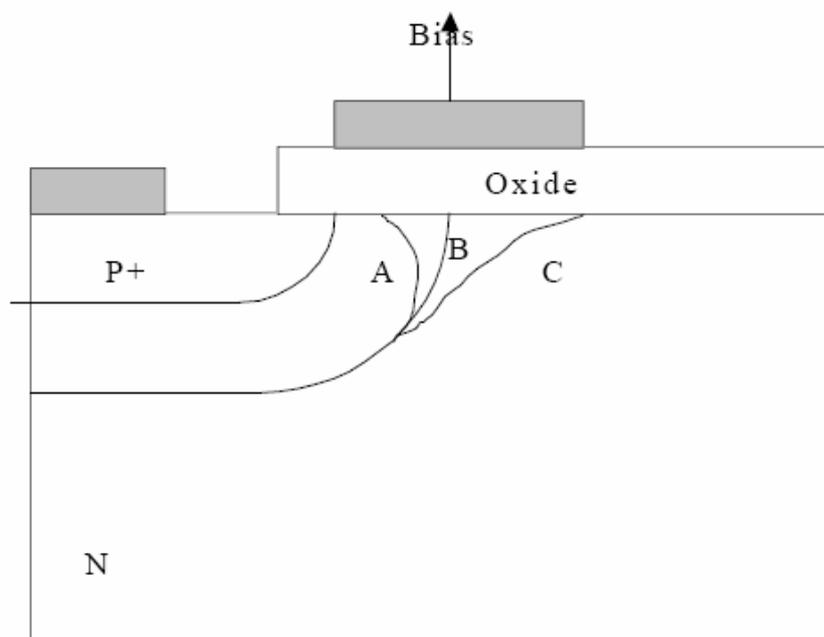
圖(3-8)

### 3.3 場板定理

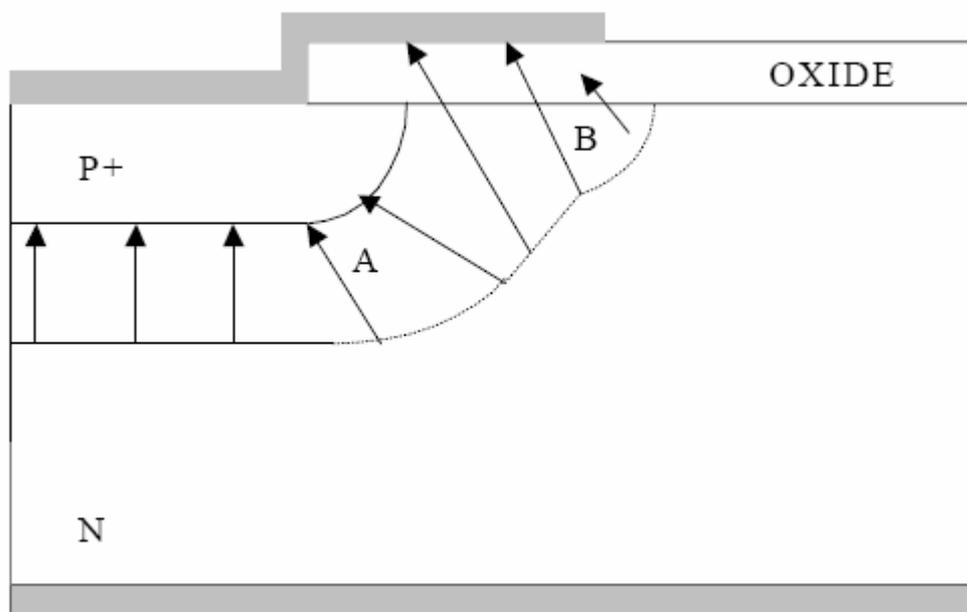
前面所提及使用 RESURF 原理的水平式金氧半導體，再漂移區會完全空乏，而表面電場會在兩處較強的場壓，通常都是發生在 Gate 邊緣的下方以及 Drain 的邊緣，而且在越角落部份電場越強，Gate 下方的高電場可以由空乏區保護，但是一旦 Body 外加一強大電壓，可能會使電子穿透 Gate，一旦累積電子過多會造成強大漏電流將元件燒毀，就是前面所提及的穿透崩潰，倘若是加在 Drain 的電壓對 Gate 下方的電廠則無太大影響，但是卻會加大 Drain 的電場，會發生雪崩崩潰。

但是我們若好好運用 RESURF 原理來減少電場集中在這些邊緣表面，也可以將電場平均的分布表面，可以將崩潰機制將低再漂移區和 Body 的界面，藉著使用場板的結構特殊減低了 Drain 的邊緣高電場，這樣可以調整電晶體中的電位分佈而提高元件的崩潰電壓目的，這樣的目的正符合我們功率元件所需。

何謂場板結構？在眾多論文的研討以及跟詢問老師的結論簡言之改變表面的電位，減少空乏區的區率，最簡單的結構如圖(3-9)，已知空乏區的邊緣會受電壓所影響，但是運用場版結構後所有的表面電位會有所改變，當場版沒有加電壓的時候如圖中的 B 線，表面空乏區的邊界受 P-N 濃度影響，形成自然區率。當場版接正電壓的時候表面的邊界會改變，因為 Body 是 N 型所以場板加正電壓會吸引載子聚集在表面，就像圖(3-9)中的 A 線若場板接負偏壓則因基底是 n 型會排斥表面的電子而把表面的電子往基底內部推，造成表面形成電洞較多空乏區的邊界可以往外延伸，如同圖(3-9) 中的 C 線。在一個可正常工作的元件中實際的場板，如同圖(3-10)在圖中的 A 部分可以發現接面的地方擁擠現象比較疏緩，可是在場板的邊緣圖中 B 的部分則是另一個發生擁擠現象的地方。



圖(3-9) 場板電壓改變對空乏區的示意圖

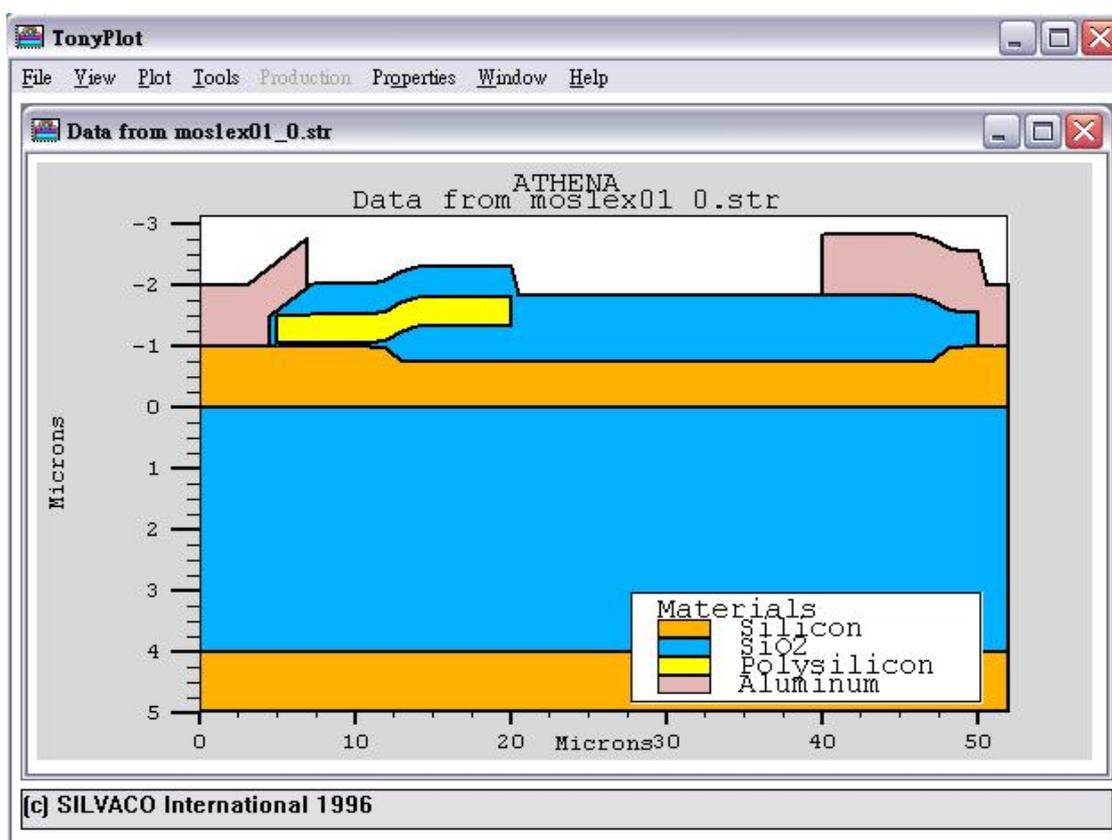


圖(3-10) 場板改變的電力線分布圖

## 第四章 Silvaco 驗證

綜合以上章節的原理還有部分機制，我們很明確的了解到 LDMOS 的影響因素以及如今廣泛運用的優點，在這章節我們將探討本篇論文的重心 LDMOS 功率元件，並探討其特性曲線還有電場圖、I-V 特性曲線、以及通道的影響甚至是磊晶層濃度或是厚度的影響，這些都對他的崩潰電壓有相當的影響。

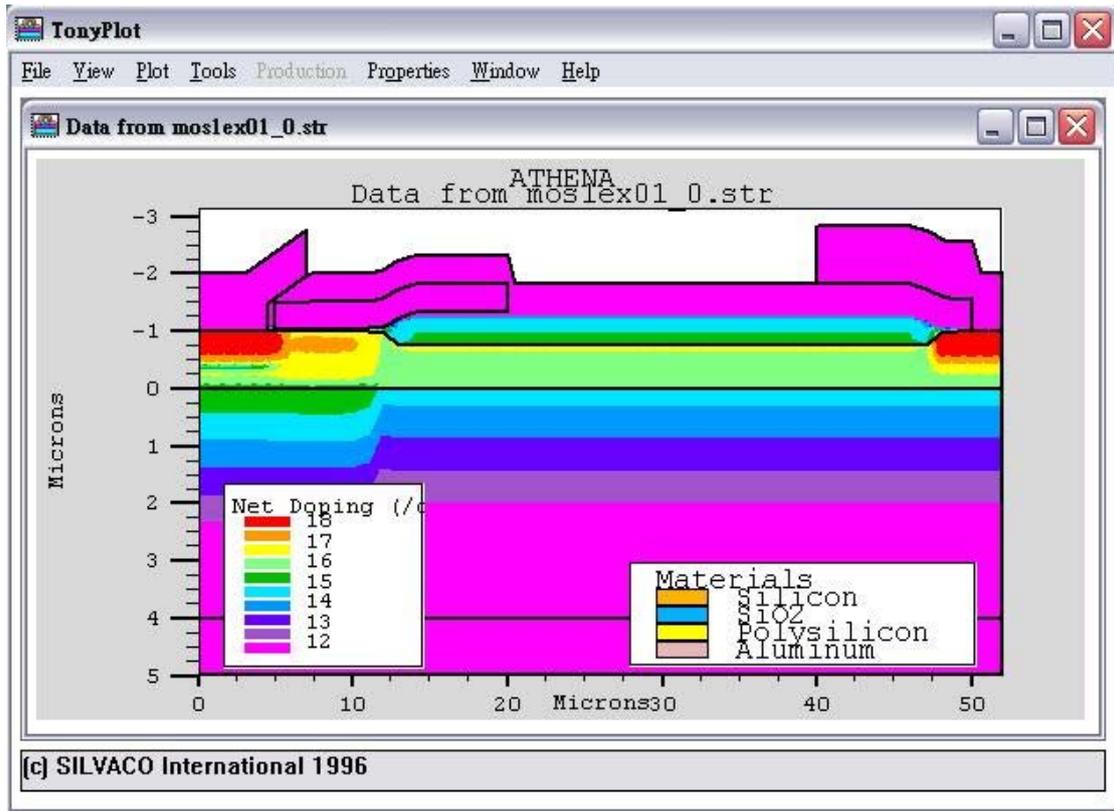
### 4.1 原始元件使用 silvaco 軟體對此元件測量。



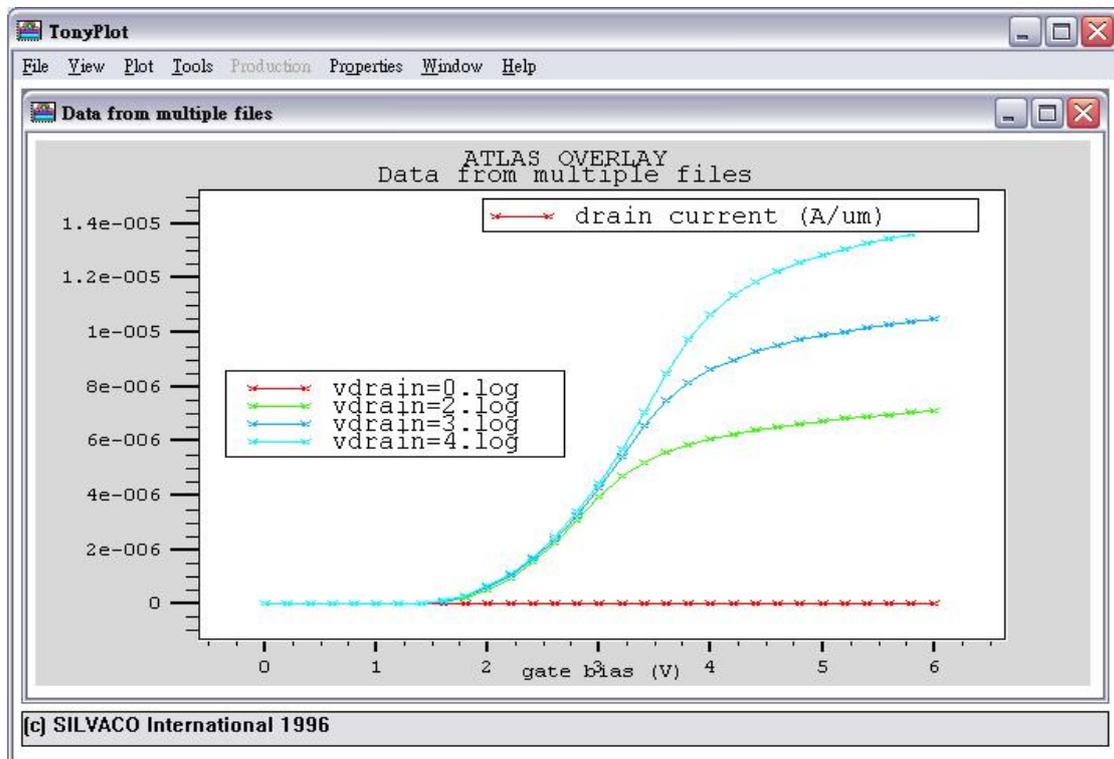
圖(4-1) 元件架構

參數大小:

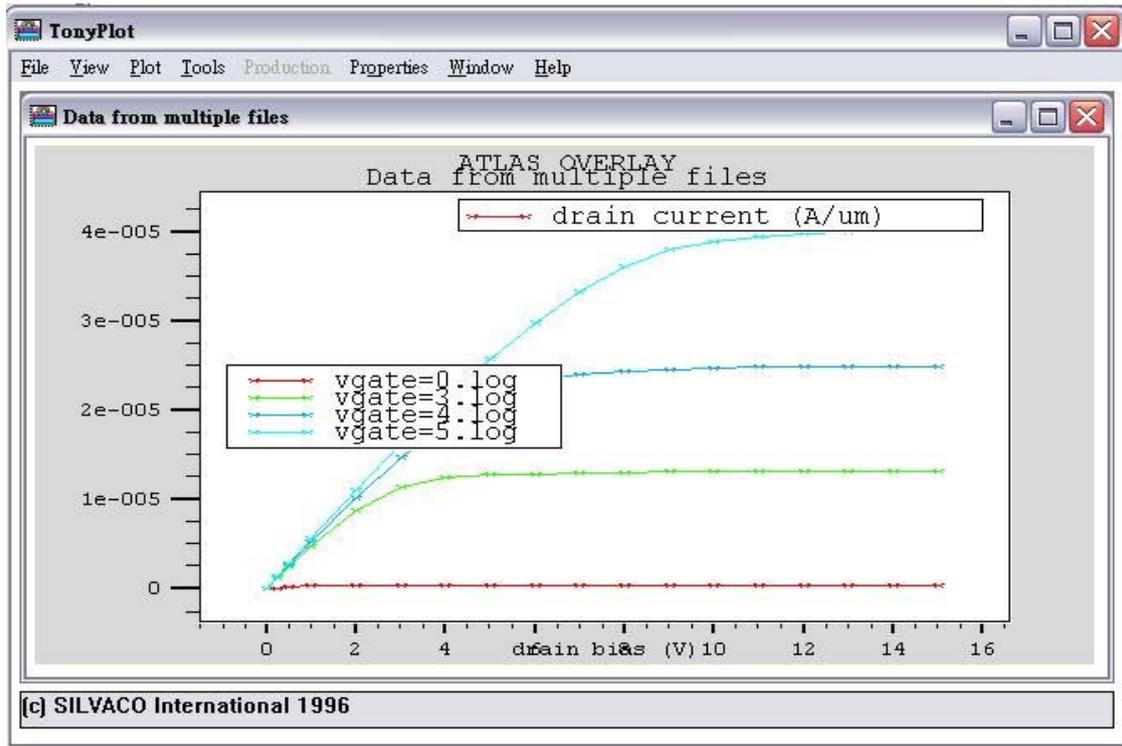
- |                    |                        |   |
|--------------------|------------------------|---|
| (1) 基板厚度: 1um      | 濃度: $2 \times 10^{10}$ | (6) 通道長度: 7um                             |
| (2) 漂移區長度: 35um    |                        | (7) 氧化層厚度: 4um                            |
| (3) 磊晶層厚度: 1um     | 濃度: $9 \times 10^{15}$ | (8) 閘極多晶矽長度: 15um                         |
| (4) 汲極金屬長度: 12um   |                        | (9) P-Body濃度: $9 \times 10^{12}$ 寬度: 11um |
| (5) Drain 根 Source | 濃度: $3 \times 10^{15}$ |   |



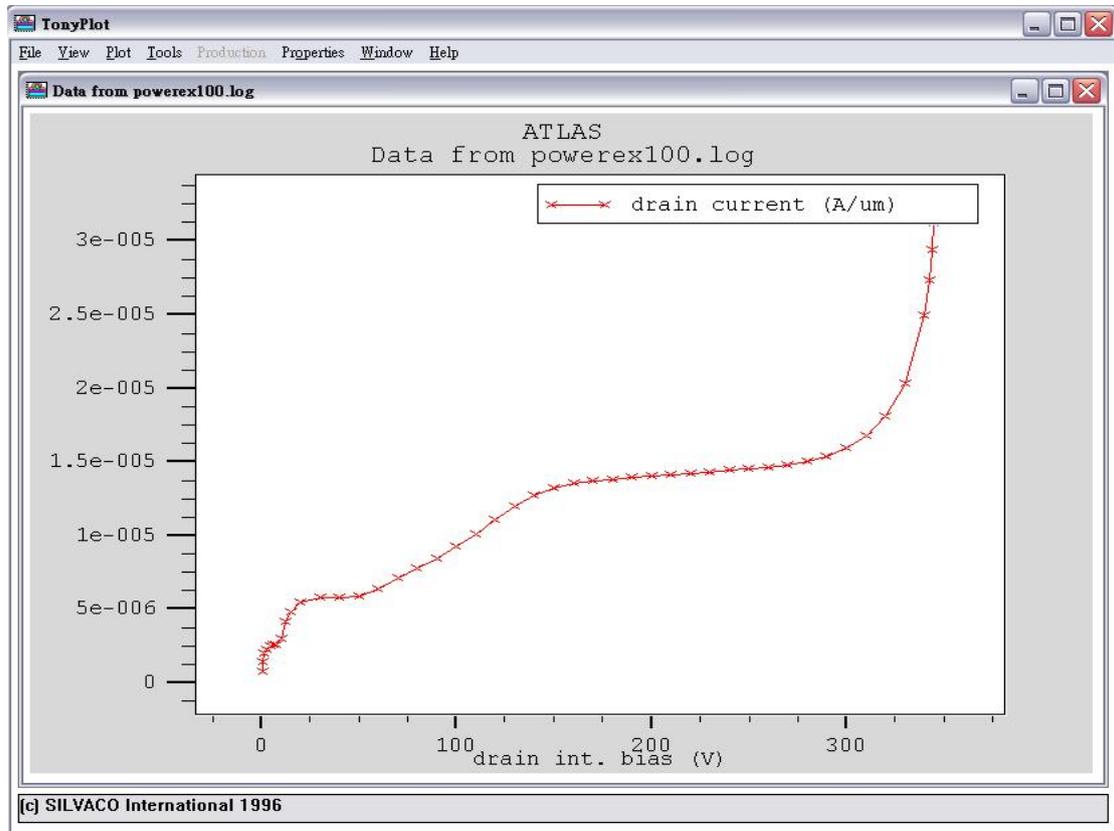
圖(4-2) 元件濃度圖



圖(4-3) 為此元件的臨界電壓=1.4v

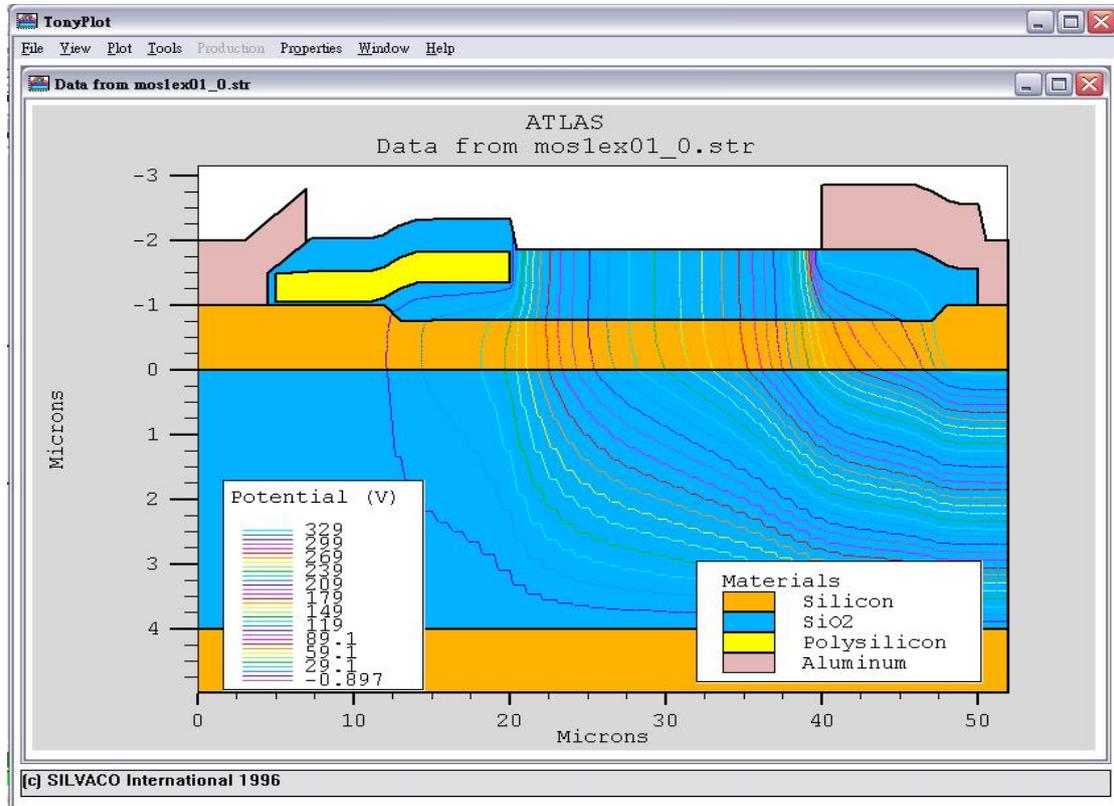


圖(4-4) 為元件的 I-V 特性曲線



圖(4-5) 為元件的崩潰電壓  $\approx 344\text{v}$

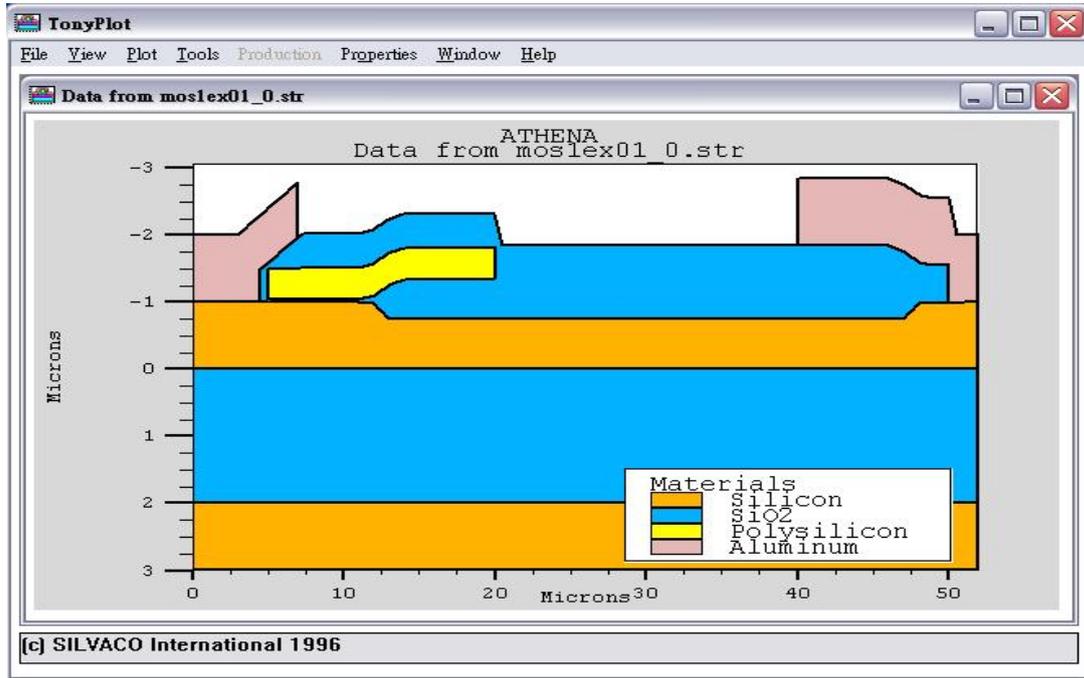
由此圖可知崩潰電壓大概在 344V 左右，此崩潰電壓的  $V_{gate}=2.5$  時，在  $V_{ds}$  超過 360v 電壓時，電流  $I_{ds}$  將會急數增加，使元件崩潰，元件將會毀壞。



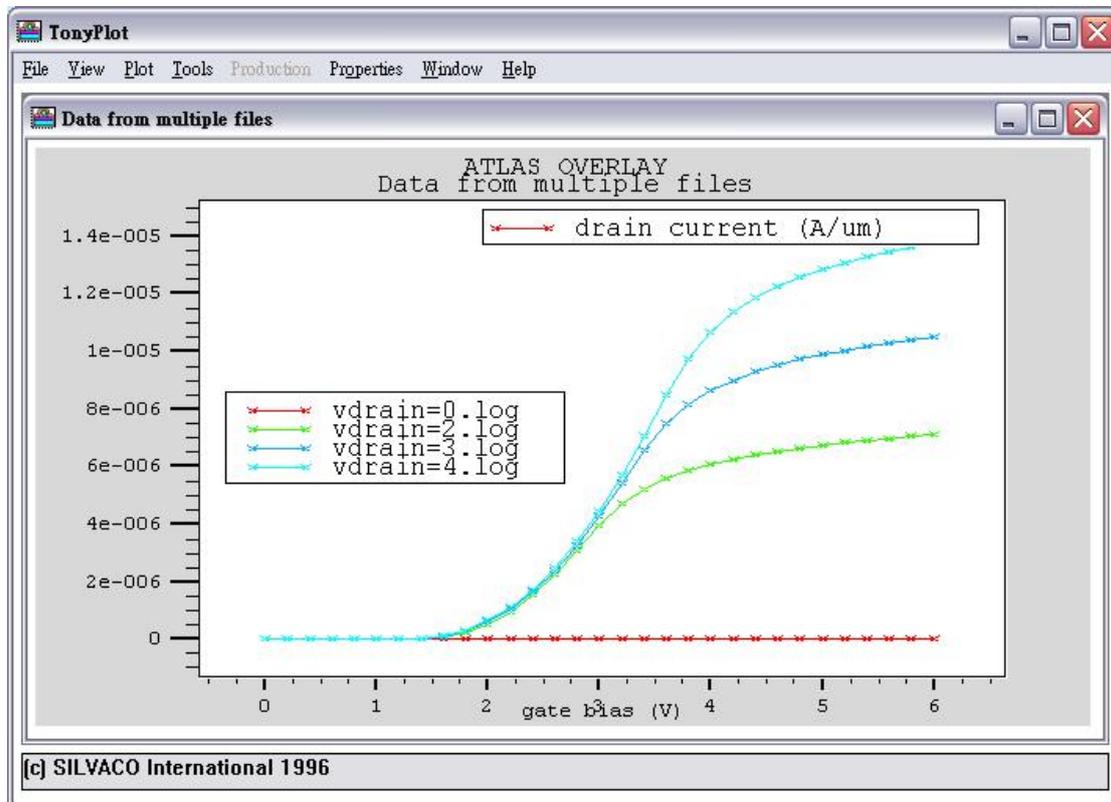
圖(4-6) 為元件的電位圖

上圖說明此元件在崩潰時汲極下方的氧化層有極大的電壓存在，且電壓大都集中在汲極附近，這和我們使用的 RESURF 定理相符合。

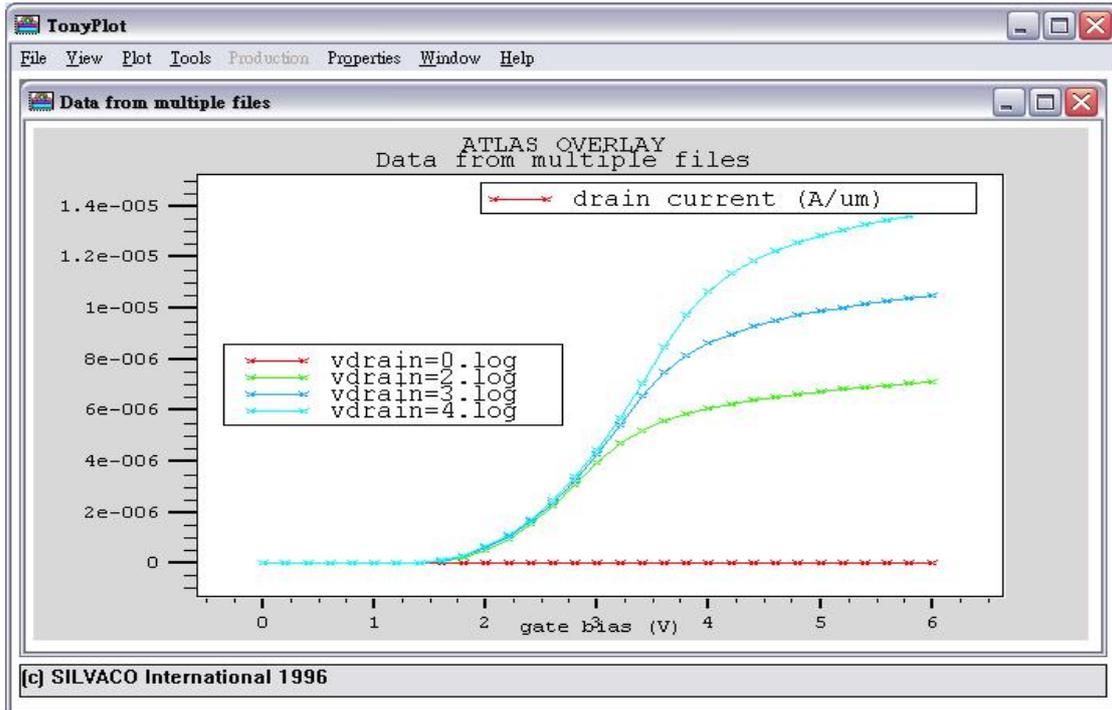
## 4.2 改變氧化層厚度



(圖 4-7) 改變氧化成厚度的解構圖

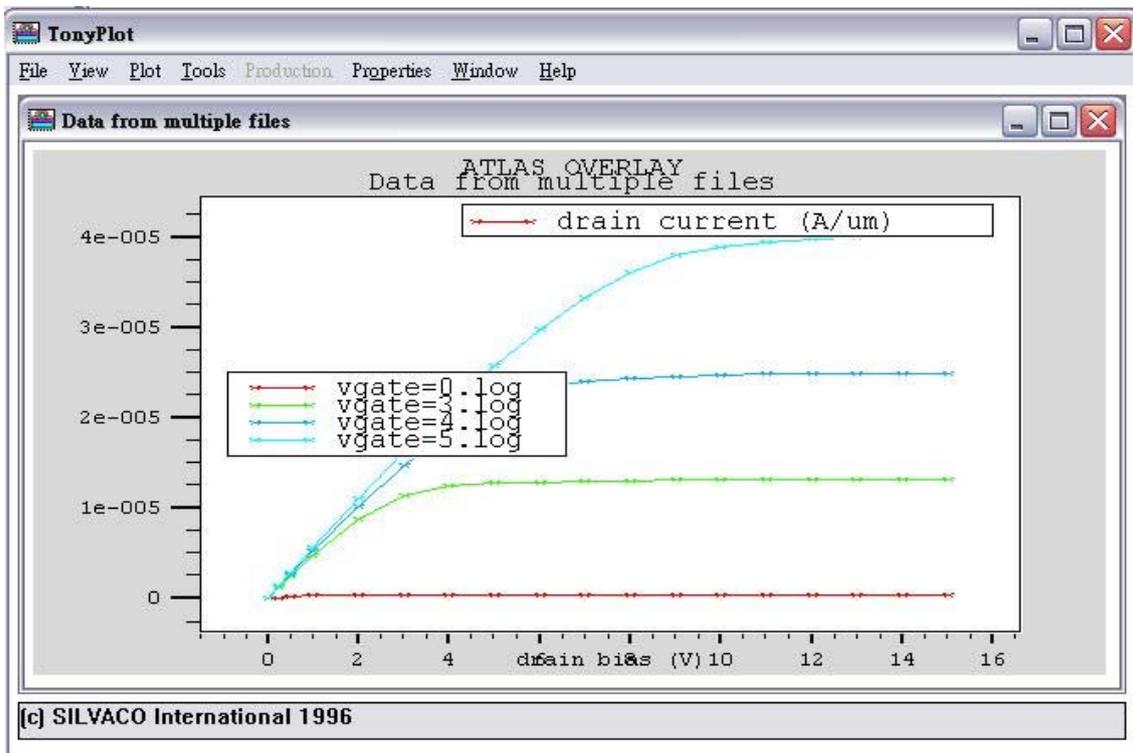


(圖 4-8) 氧化層厚度為 2um 時臨界電壓=1.4v



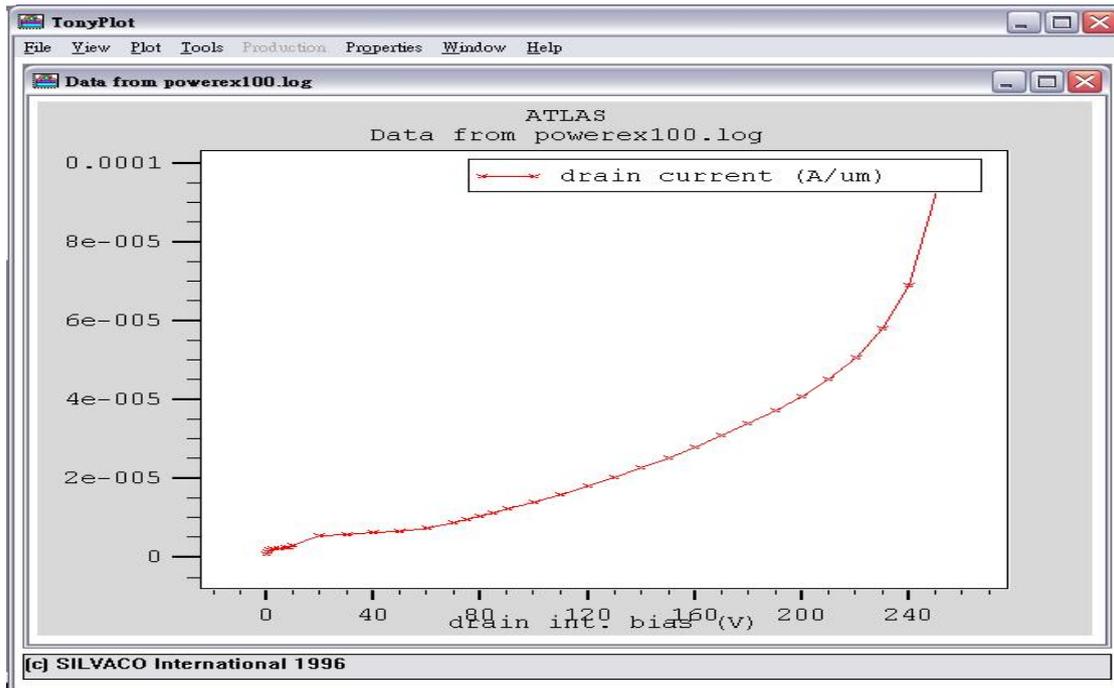
(圖 4-9) 氧化層厚度為 6um 時臨界電壓=1.4v

(圖 4-8、4-9) 顯示在改變氧化層厚度時，不會因此改變驅動電壓。

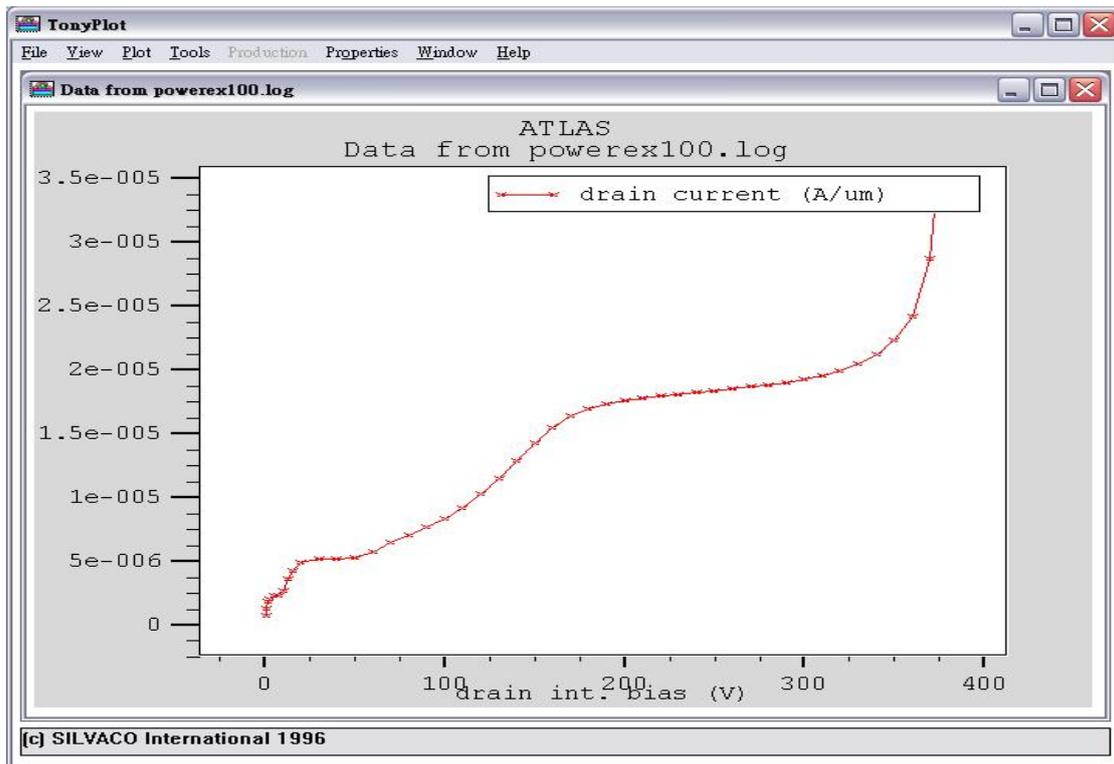


(圖 4-10) 氧化層厚度為 2um 和 6um 的 I-V 特性曲線

(圖 4-10) 顯示在改變氧化層厚度時，不會因此改變 I-V 特性曲線。



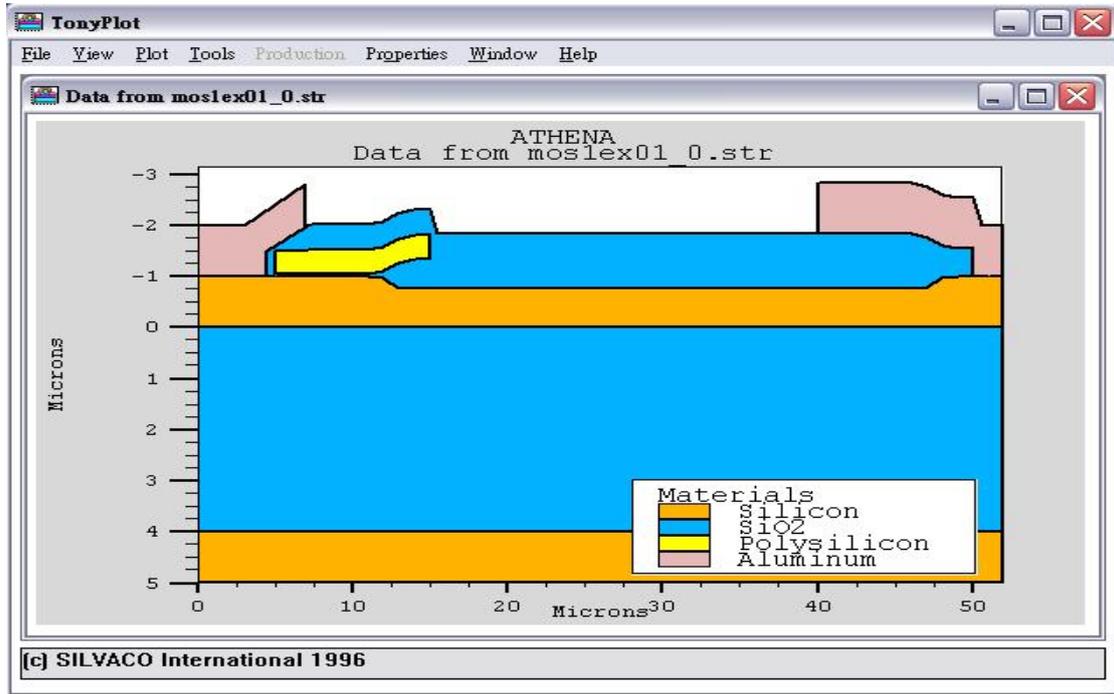
(圖 4-11) 氧化層 2um 的崩潰電壓  $\approx$  250v



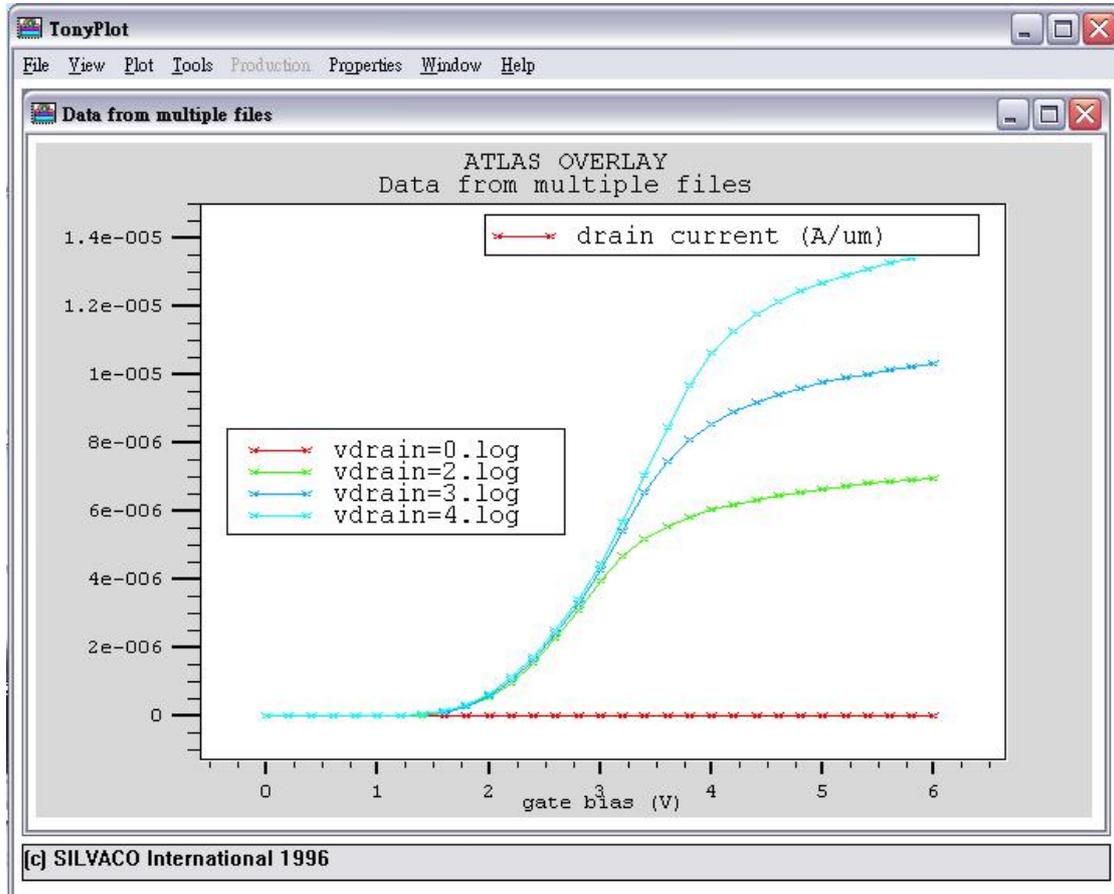
(圖 4-12) 氧化層 6um 的崩潰電壓  $\approx$  372v

氧化層做越厚，越能耐高壓，且也不會改變元件原本的特性。故氧化層厚度是影響耐壓的重要因素之一。但因為 SOI 晶片製作不易所以價格並不便宜，且實際製程太厚會壓毀元件，所以氧化層不可能作太厚。

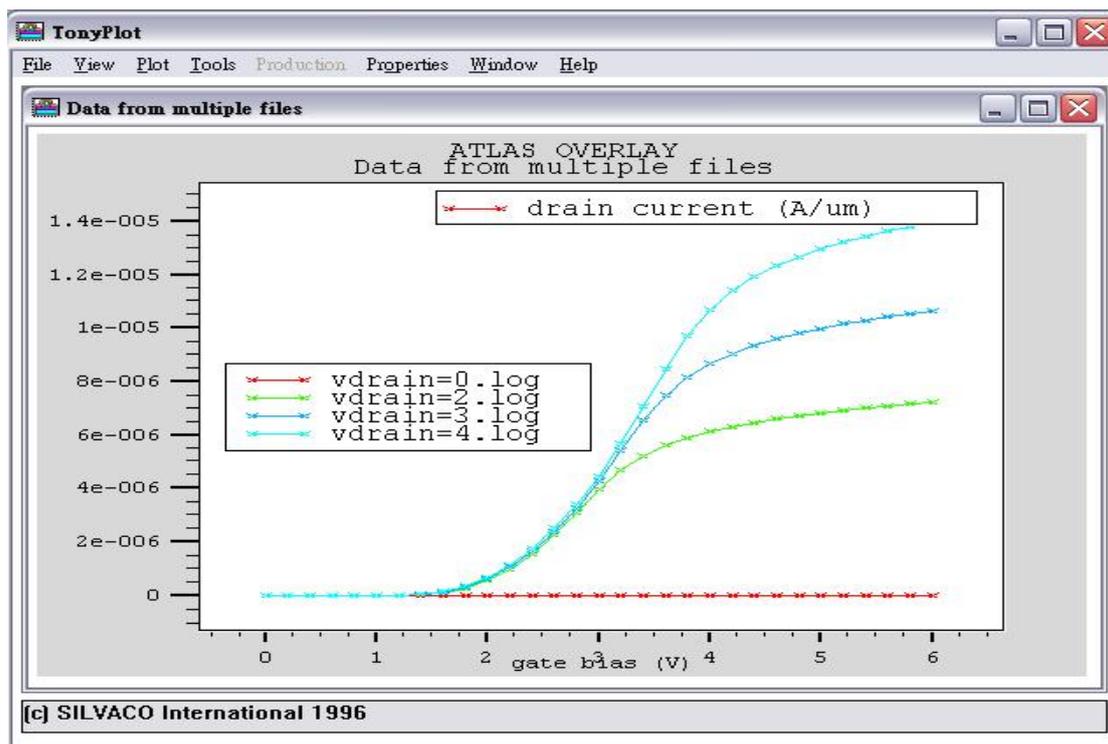
### 4.3 改變閘極多晶矽長度



圖(4-13) 改變閘極多晶矽長度為 10um

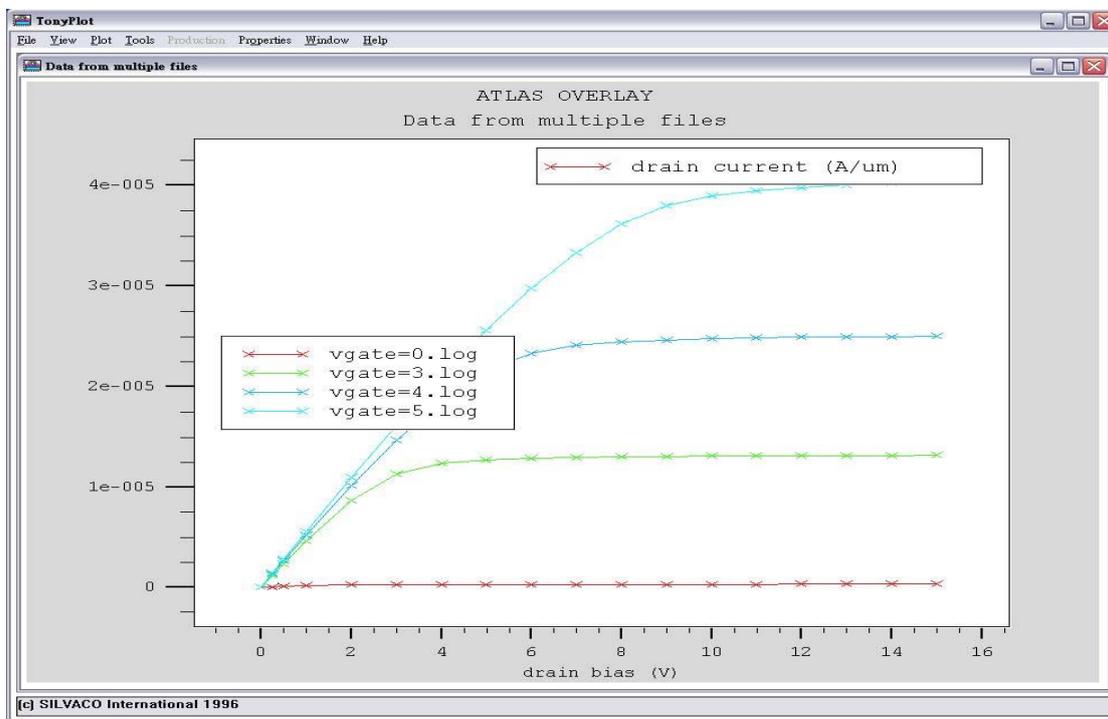


圖(4-14) 閘極多晶矽長度 10um 臨界電壓 = 1.4v



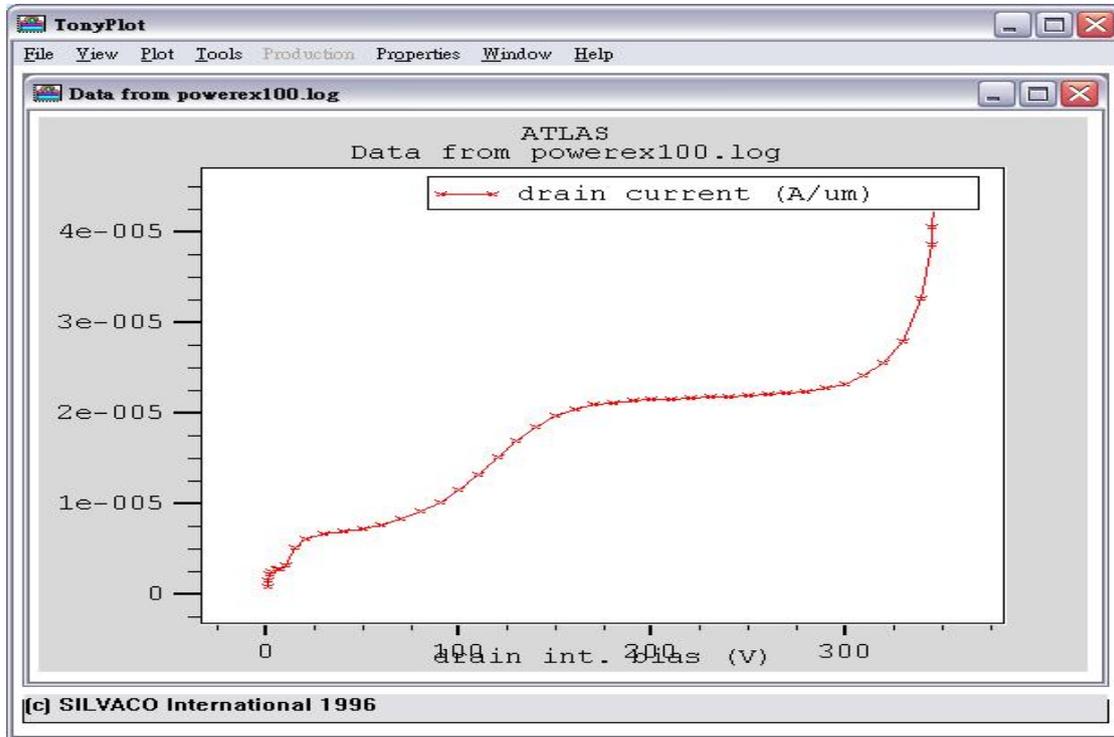
圖(4-15) 閘極多晶矽長度 20um 臨界電壓 = 1.4v

此處閘極多晶矽長度不能少於 7um(通道長度)，因為會照成元件無法形成反轉層而不能使用。

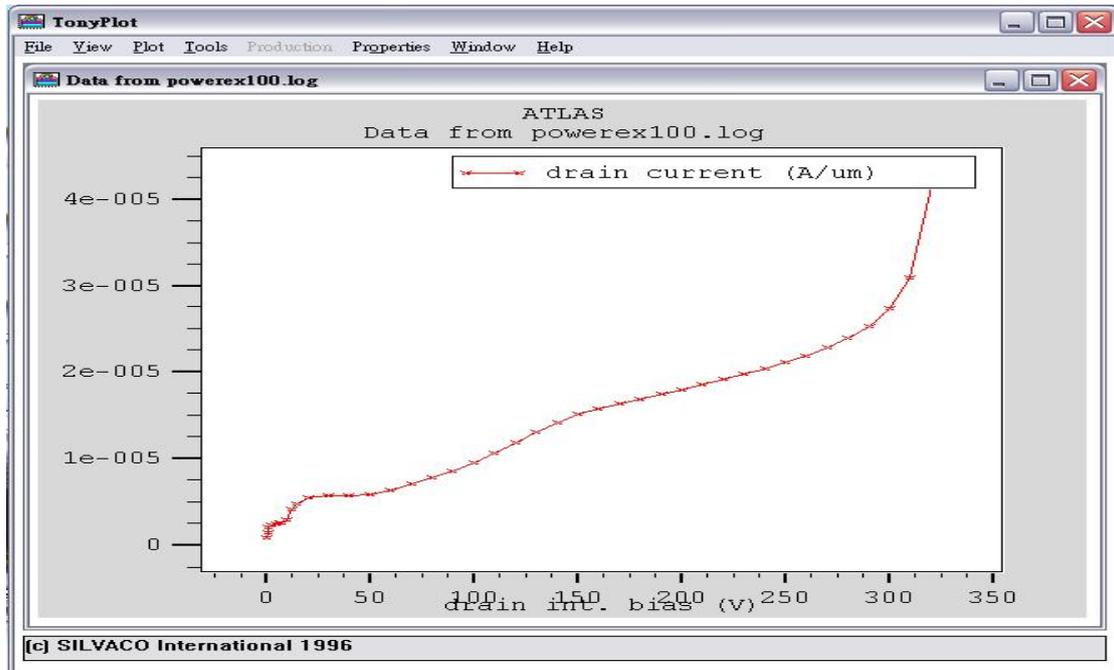


(圖 4-16) 閘極多晶矽長度 10um、20um 的 I-V 特性曲線

圖(4-14、4-15、4-16)顯示在改變閘極多晶矽長度時也不會影響到元件的臨界電壓值及 I-V 特性曲線。但閘極多晶矽長度 20um 的驅動電流有微小的增加，而閘極多晶矽長度 10um 驅動電流則有微小的減少。

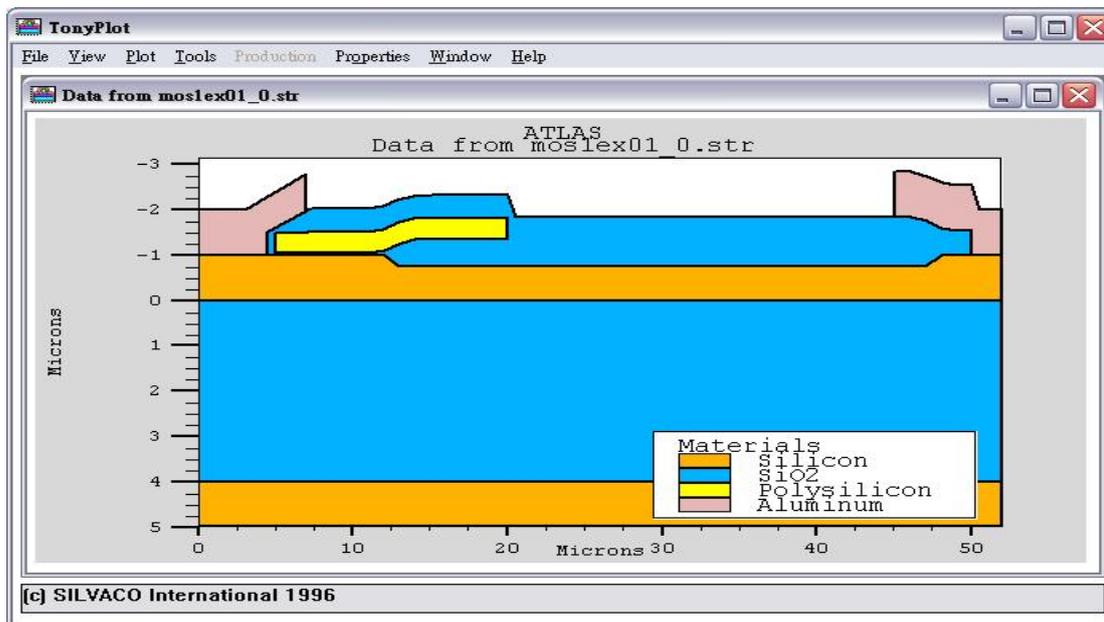


圖(4-17) 閘極多晶矽長度 10um 崩潰電壓圖  $\approx 346v$

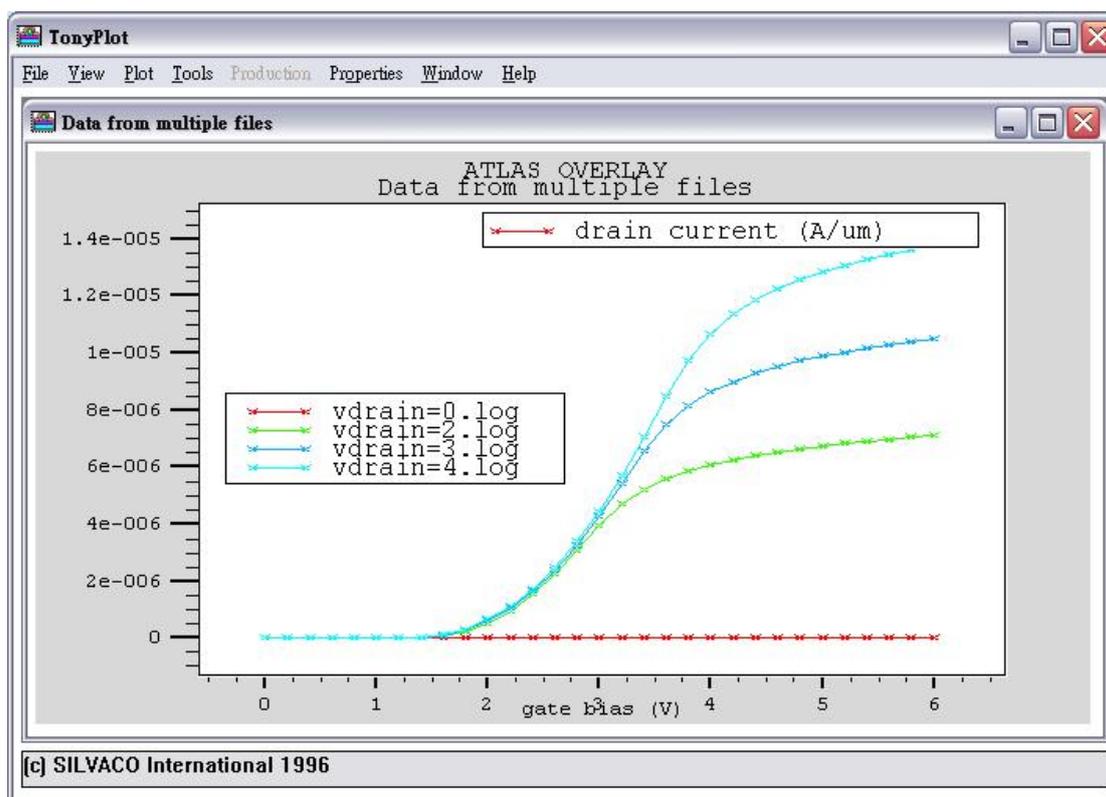


圖(4-17) 閘極多晶矽長度 20um 崩潰電壓圖  $\approx 320v$

### 4.4 汲極金屬長度改變

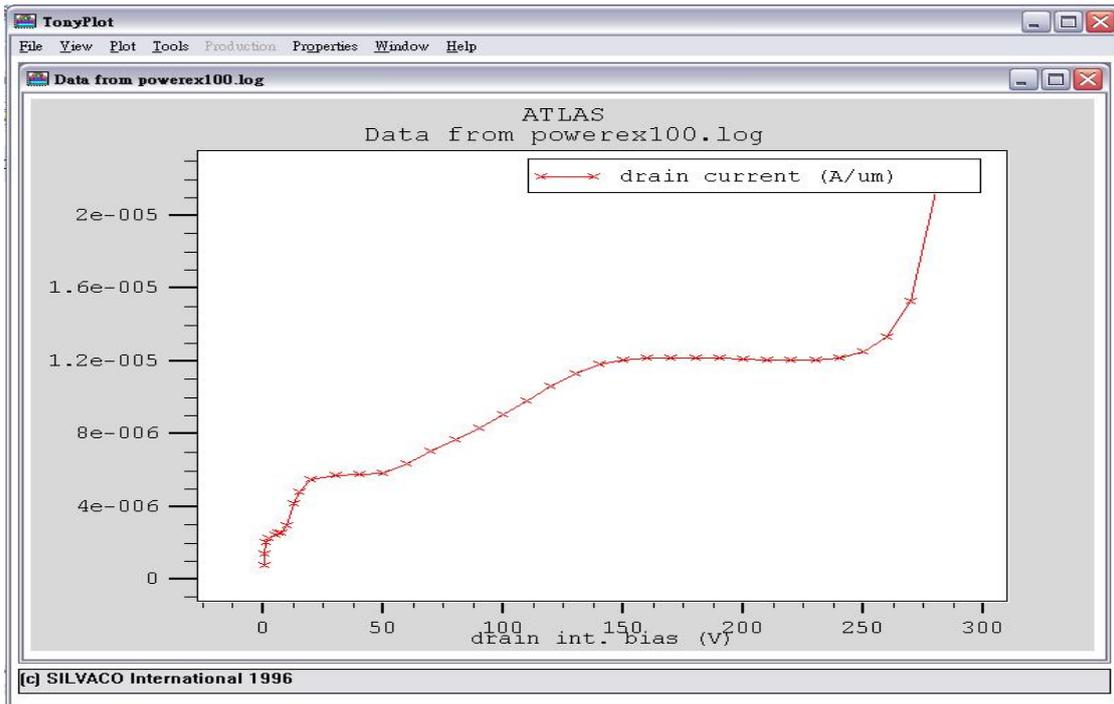


圖(4-19) 汲極金屬長度 7um 結構圖

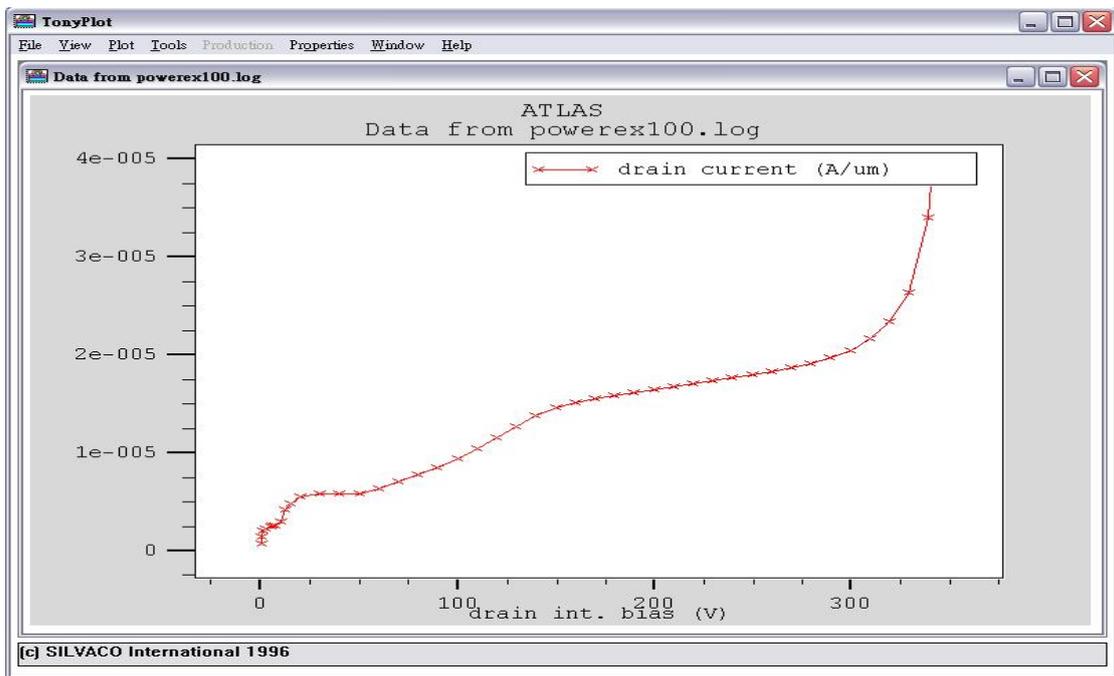


圖(4-20) 汲極金屬長度 7um 臨界電壓=1.4v

改變汲極金屬長度，因為不會改變到元件內部參數，因此元件的驅動電壓跟 I-V 特性曲線都不會因此而改變。



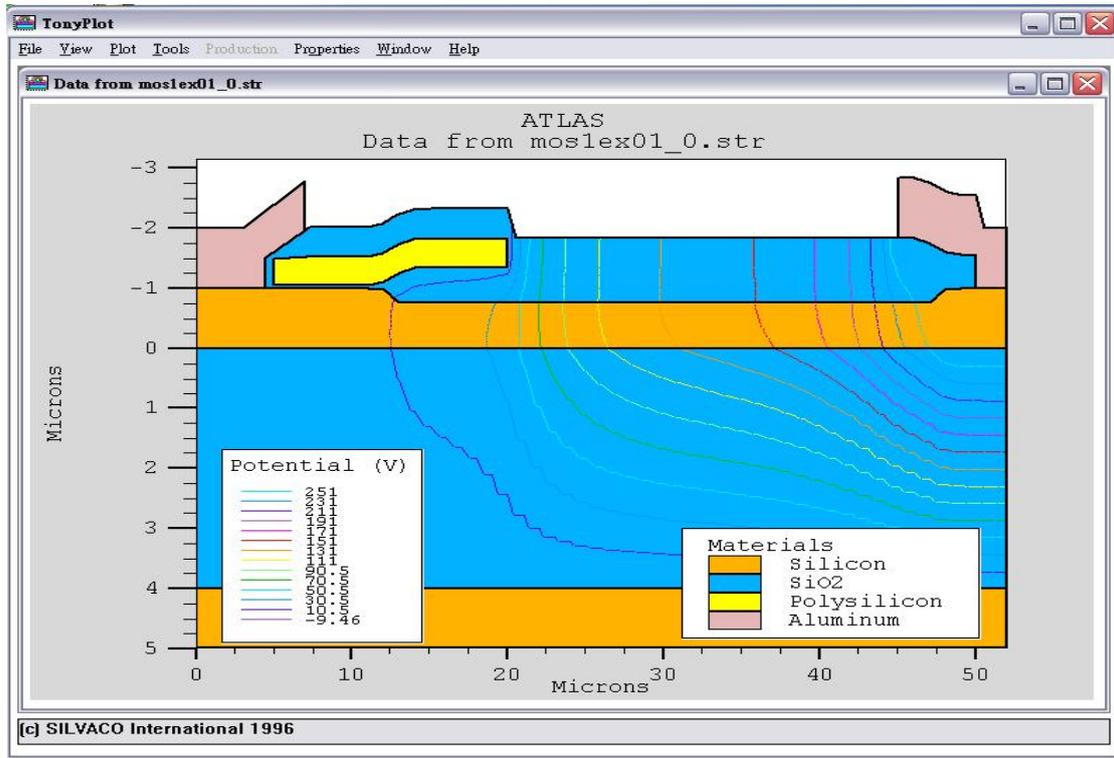
圖(4-21) 汲極金屬長度 7um 崩潰電壓=280v



圖(4-22) 汲極金屬長度 11um 崩潰電壓=344v

利用長板效應來改善耐壓程度，在圖(4-21、4-22) 中發現長板的長度對耐壓有很大的影響力，且長板的長度會有最佳的長度 11um，大於 11um 以上的長板長度對耐壓沒有影響力，故 11um 的場板長度為元件的最佳長度有最佳的崩潰耐

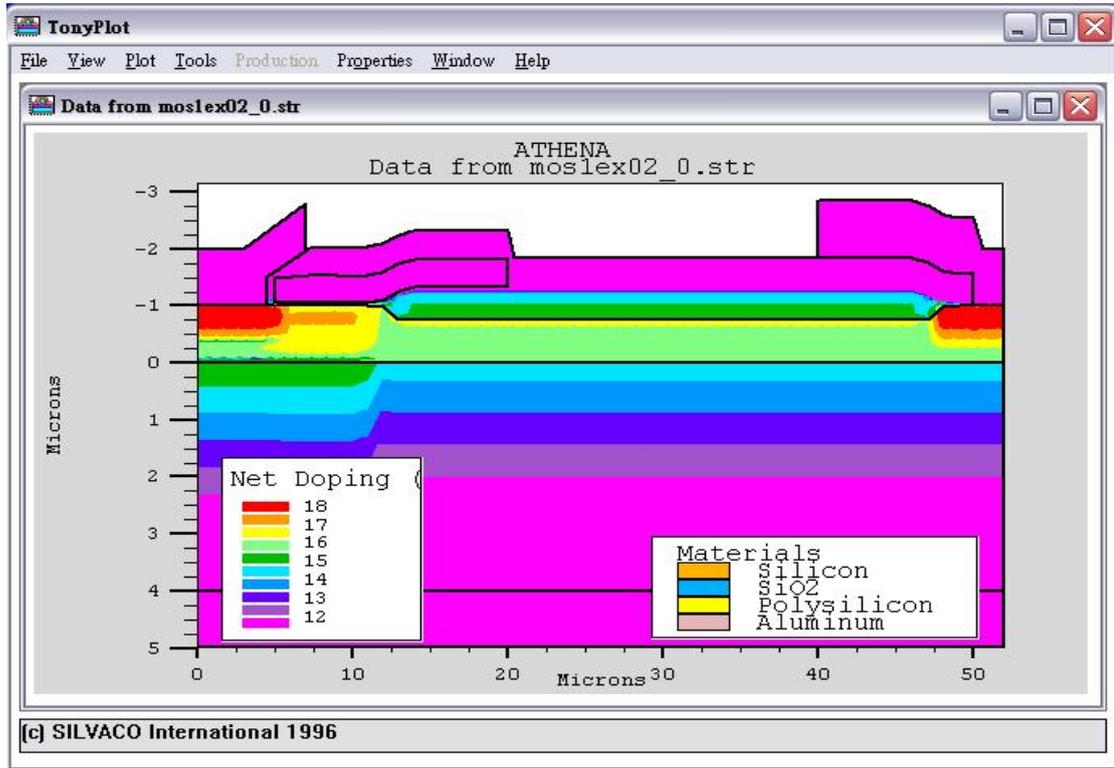
壓。



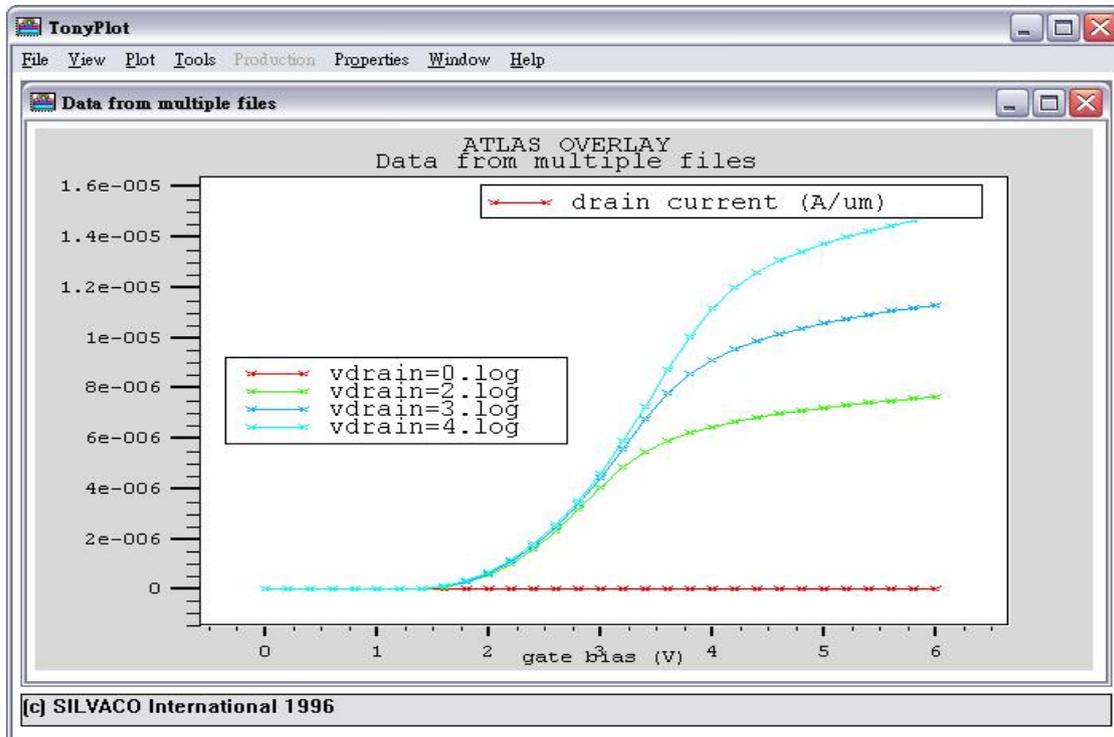
圖(4-23) 汲極金屬長度縮短時電位圖

圖(4-23)在汲極金屬長度不到 11 $\mu\text{m}$  時會因為長板效應還沒到達最佳時，汲極下方會有密集的電位線，使元件提早崩潰。

### 4.5 磊晶層濃度變化

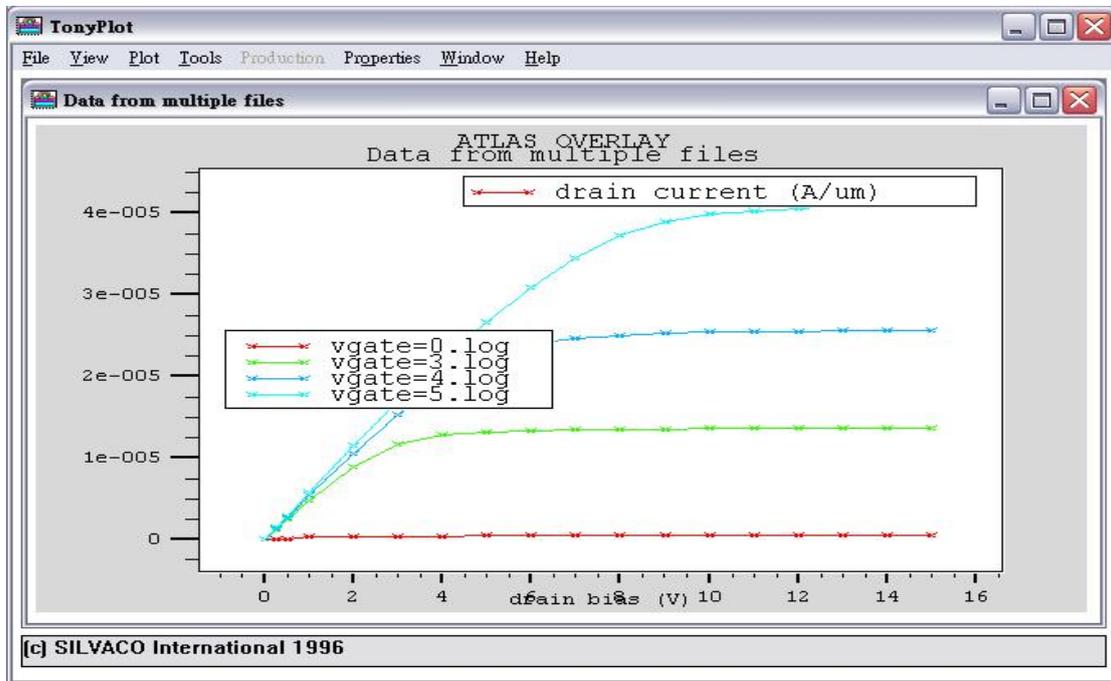


圖(4-24) 磊晶層濃度改為  $10^{16}$



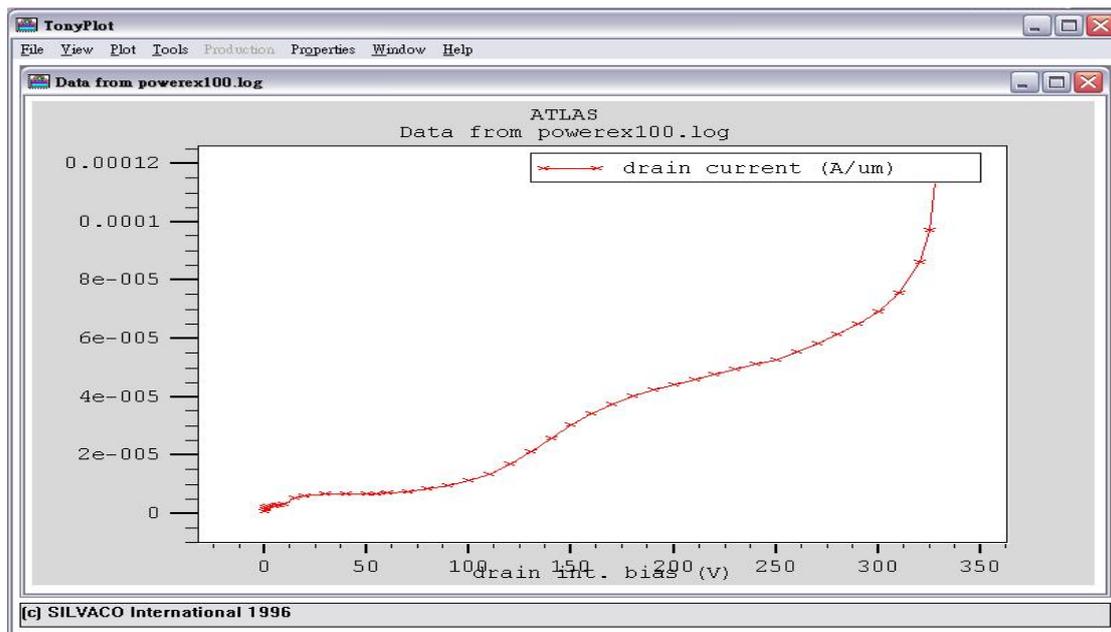
圖(4-25) 磊晶層濃度為  $10^{16}$  臨界電壓=1.4v

圖(4-25)顯示改變磊晶層濃度時對元件驅動電壓並沒有明顯改變，因為 P-body 和磊晶層濃度相差頗大，所以改變了磊晶層濃度還不足夠影響 P-body 濃度。



圖(4-26) 磊晶層濃度為  $10^{16}$  I-V特性曲線

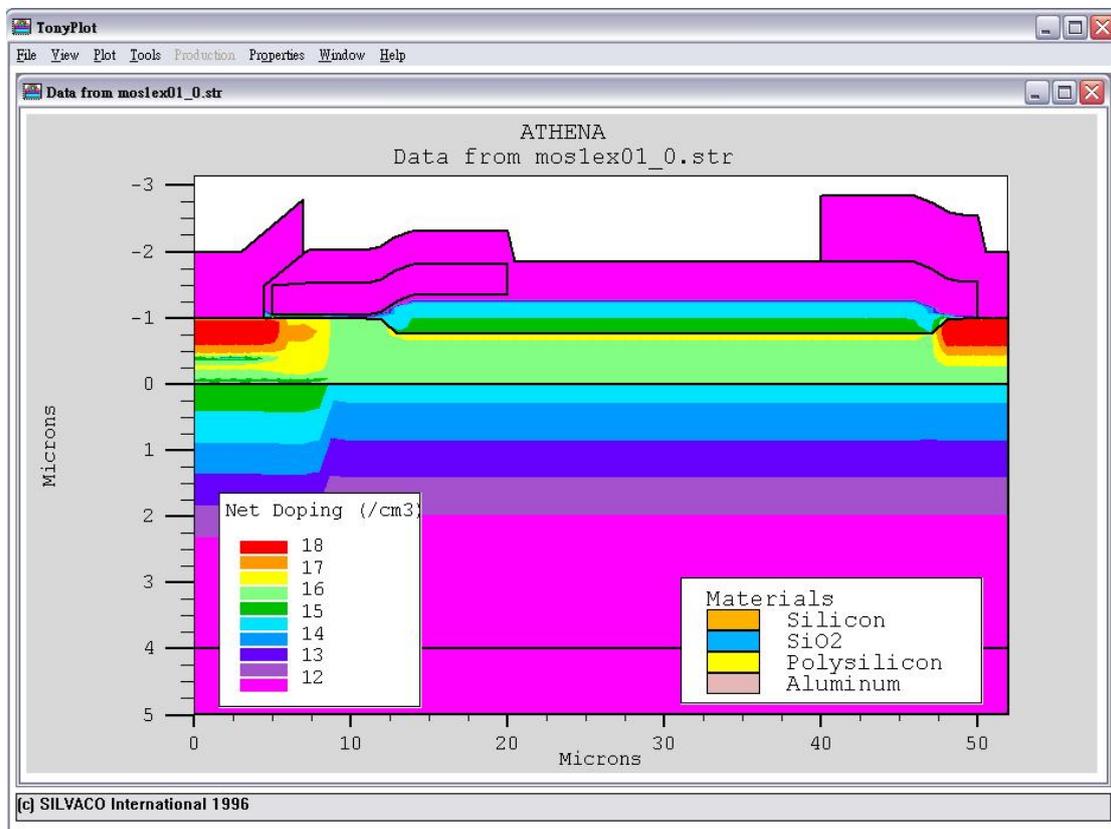
改變磊晶層濃度時，也改變了漂移區內的濃度，使的元件會有更好的 gm 值。



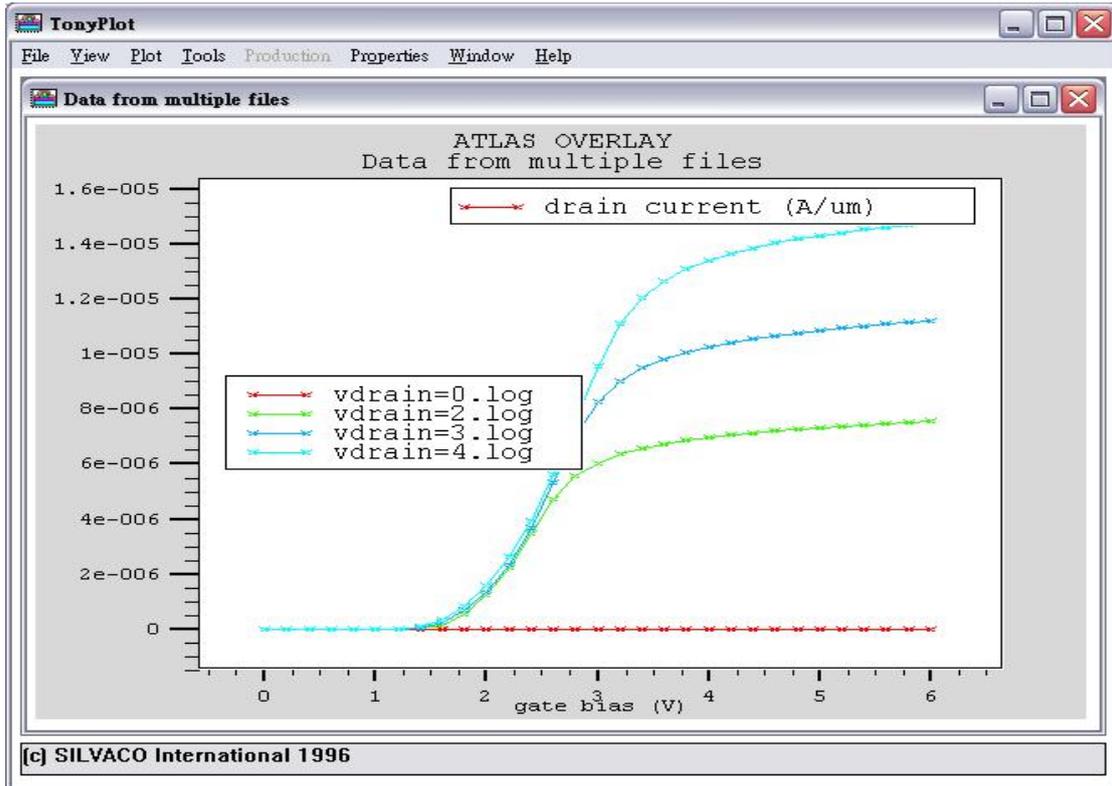
圖(4-27) 磊晶層濃度為  $10^{16}$  崩潰電壓=325v

圖(4-26、4-27) 改變磊晶層濃度，雖然可以使元件有更好的 gm 值，但卻也犧牲了元件原本該有的高耐壓特性，所以要在 gm 值和耐壓特性方面做取捨，要有高的 gm 值，可以參雜更高的磊晶層濃度，但耐壓去也因此而下降了許多。反之要有高耐壓特性，可以減少參雜的濃度，但太低的 gm 值反而讓此元件沒有功用。

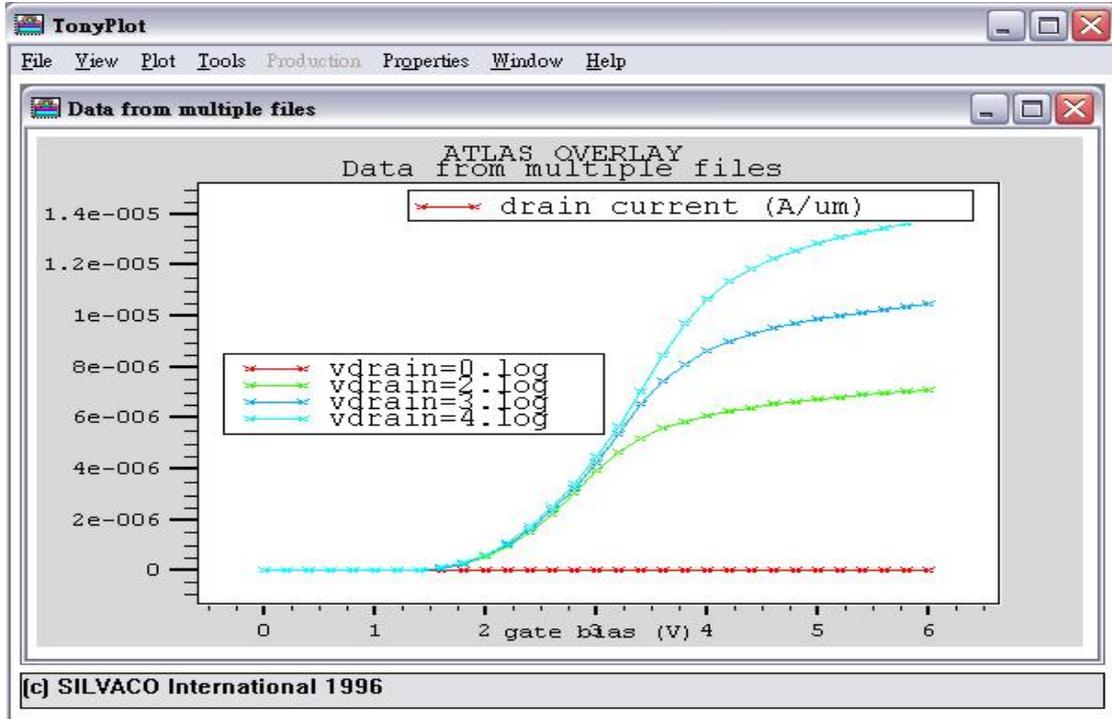
#### 4.6 P-body 寬度的改變



圖(4-28) P-body 寬度為 8 $\mu$ m 濃度圖



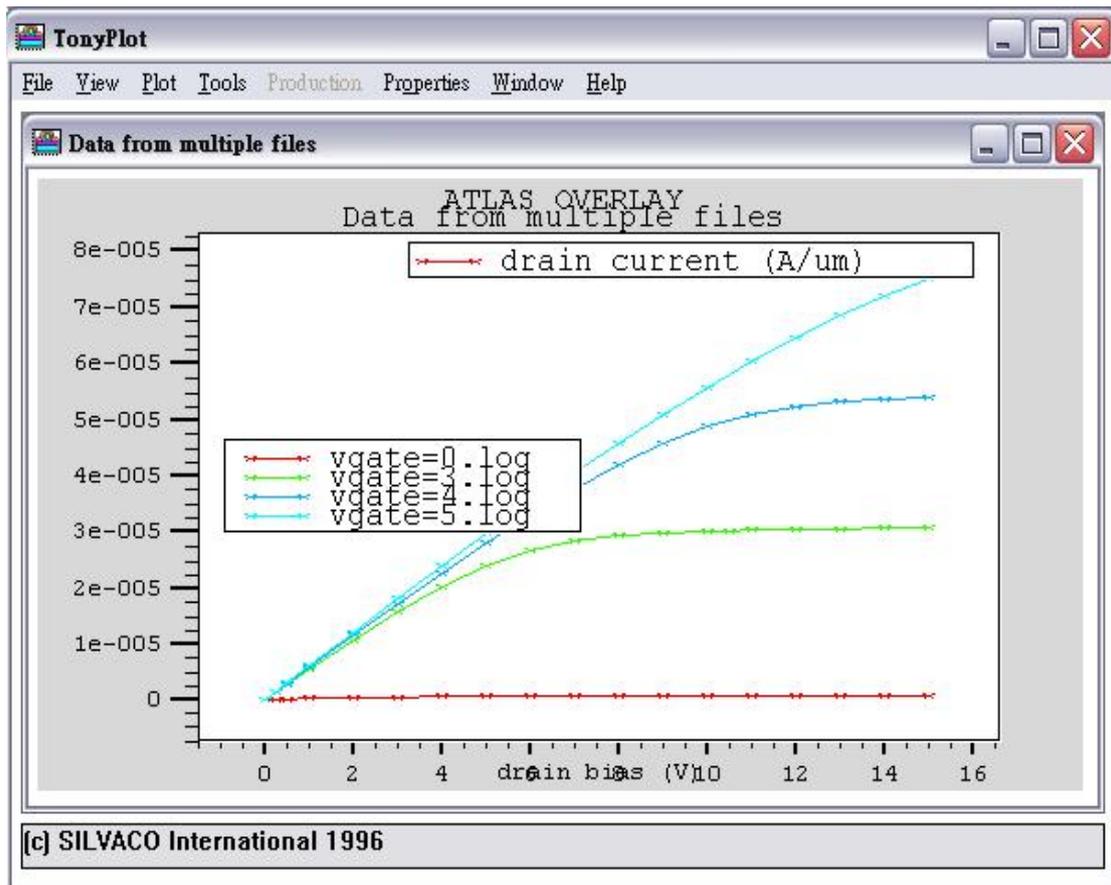
圖(4-29) P-body 寬度為 8um 臨界電壓=1.4v



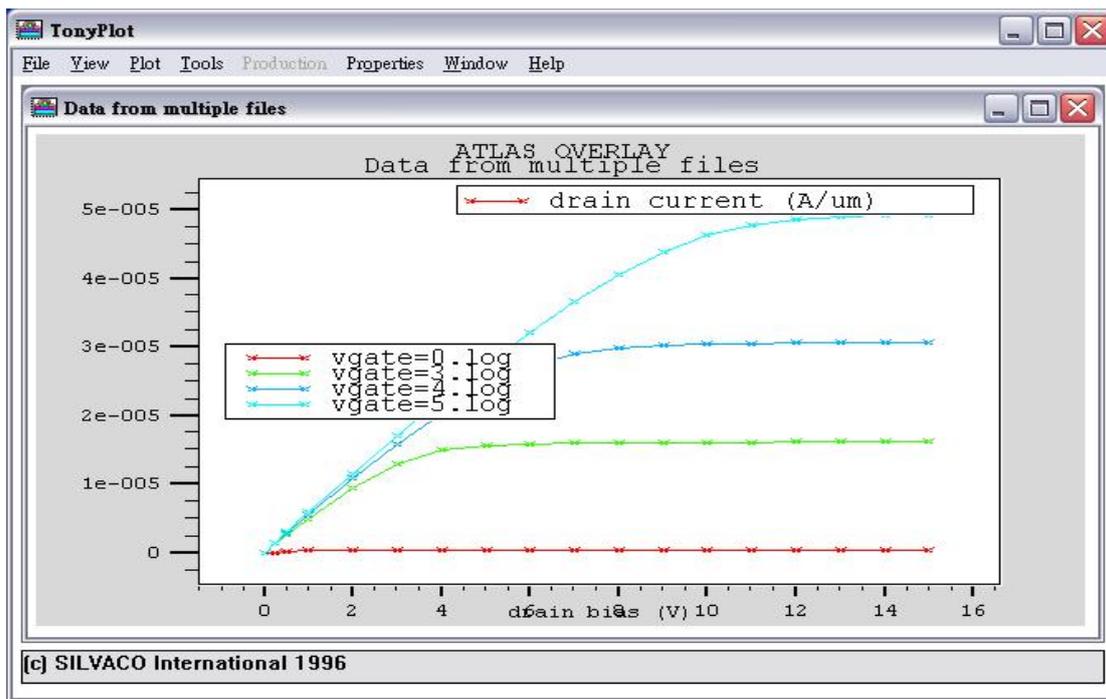
圖(4-30) P-body 寬度為 10um 臨界電壓=1.4v

圖(4-29、4-30)表示在改變 P-body 寬度時不會因此而改變元件驅動電壓。

這是因為通道內的濃度不會改變，只有縮短通道的距離，在小通道裡要形成反轉層還是需要相同的電壓值才能，故不會因為 P-body 寬度而改變。在這裡 P-body 寬度不能超過 11 $\mu\text{m}$  會照成磊晶層凹洞下方也要形成反轉層，因為那邊氧化層相當的厚，除非要加很大的電壓，否則不太容易形成通道。

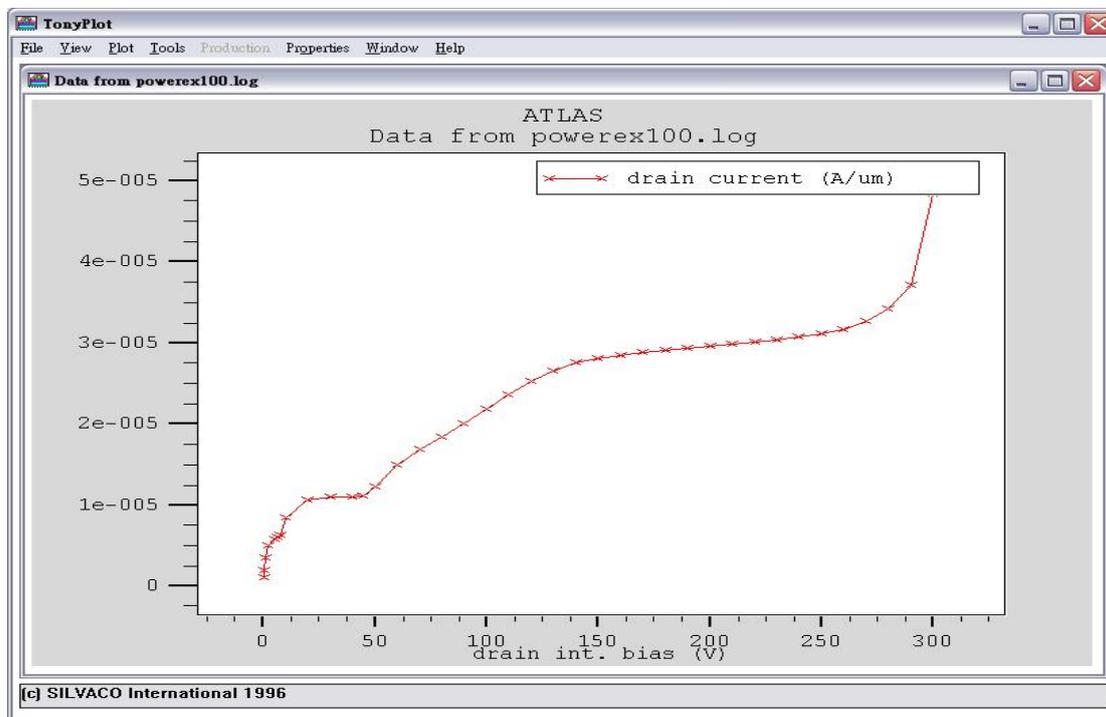


圖(4-31) P-body 寬度為 8 $\mu\text{m}$  I-V 特性曲線

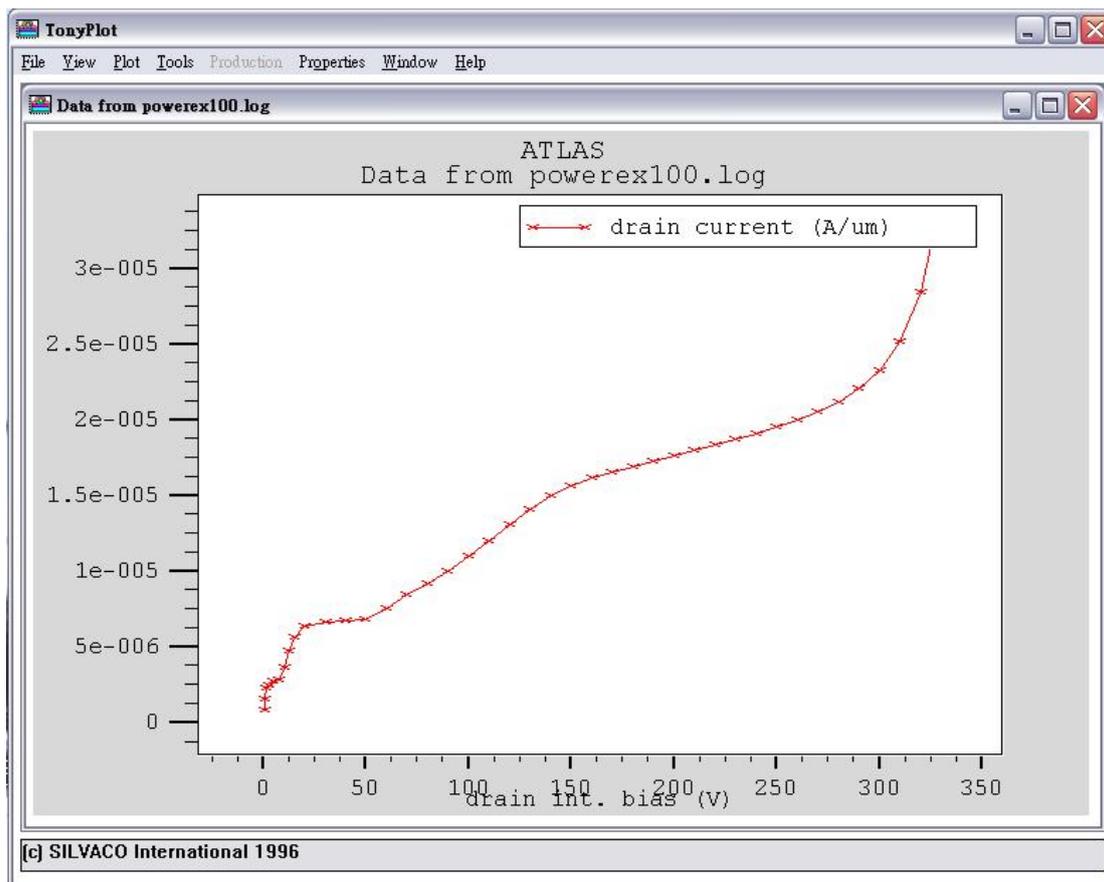


圖(4-32) P-body 寬度為 10um I-V 特性曲線

圖(4-31、 4-32)表示在有比較小的 P-body 寬度時，會有比較好的 gm 值，是因為原本是通道區域改變成為漂移區，且再加上有 Gate 電壓的幫忙會有更多的導電載子(電子)。



圖(4-33) P-body 寬度為 8um 崩潰電壓=300v



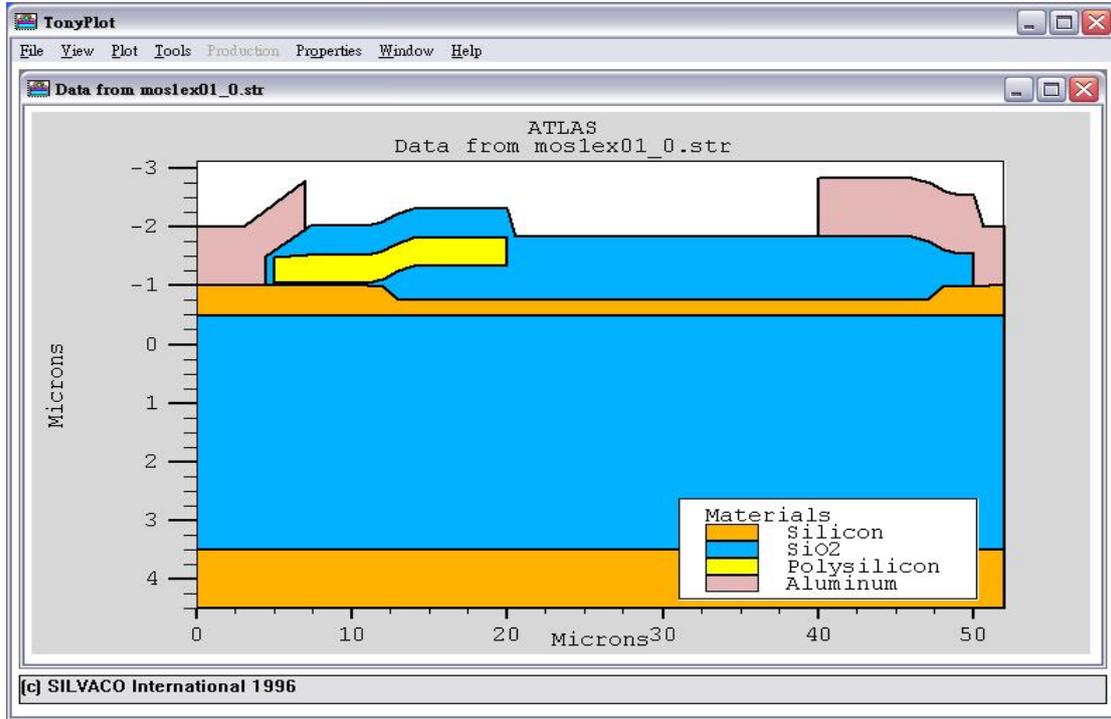
圖(4-34) P-body 寬度為 10um 崩潰電壓=325v

圖(4-33、4-34)發現 P-body 的邊界越是接近氧化層的鳥嘴結構，則電晶體的崩潰電壓就越高，但是增加的幅度有限大概只有一、二十伏特左右影響不是很大。有較長的通道長度會要有更大的汲極電壓才有辦法使的載子通過通道，照成元件崩潰。

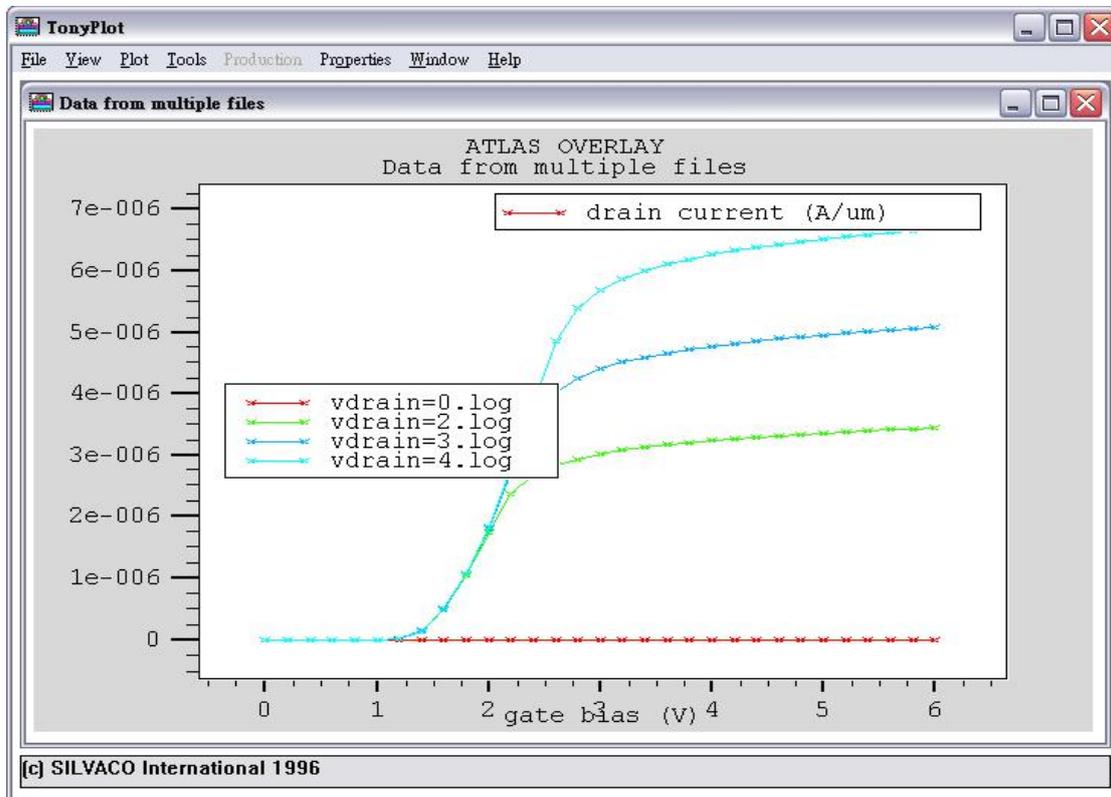
P-body 寬度大小和磊晶層濃度一樣都有互相排斥的原理。想要有較高的 gm 值，崩潰電壓就不會很高，反之想要有高耐壓特性，就得要犧牲高 gm 值。

可以拿這兩個因素來製造想要用的元件，只想要有高耐壓，可以把 P-body 寬度變長，磊晶層濃度變淡。要有高 gm 值，則 P-body 寬度變短，磊晶層濃度變濃既可。

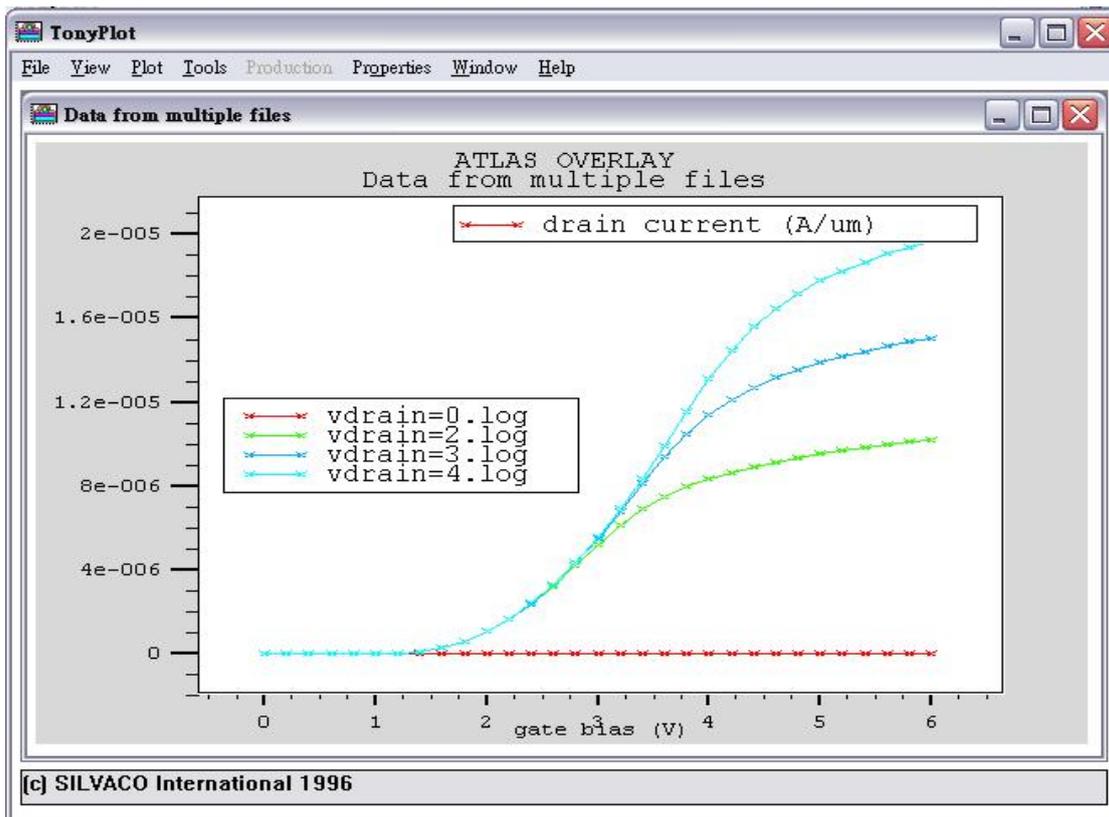
### 4.7 磊晶層厚度改變



圖(4-35) 磊晶層 0.5um 結構圖

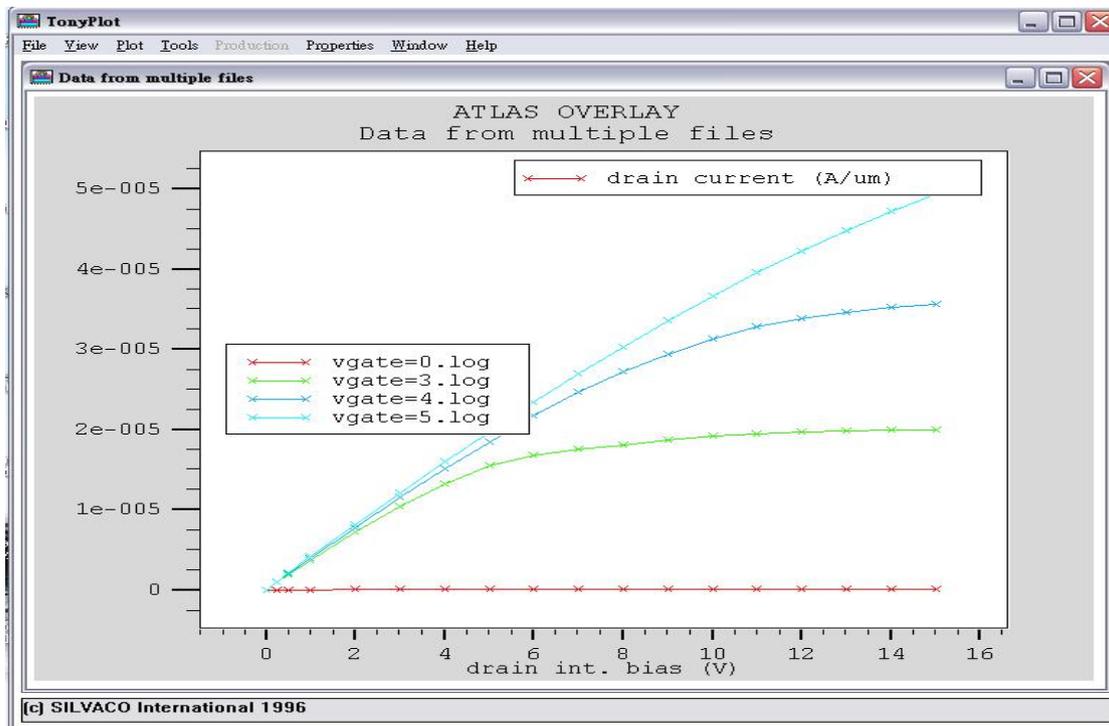


圖(4-36) 磊晶層 0.5 um 臨界電壓=1.2v

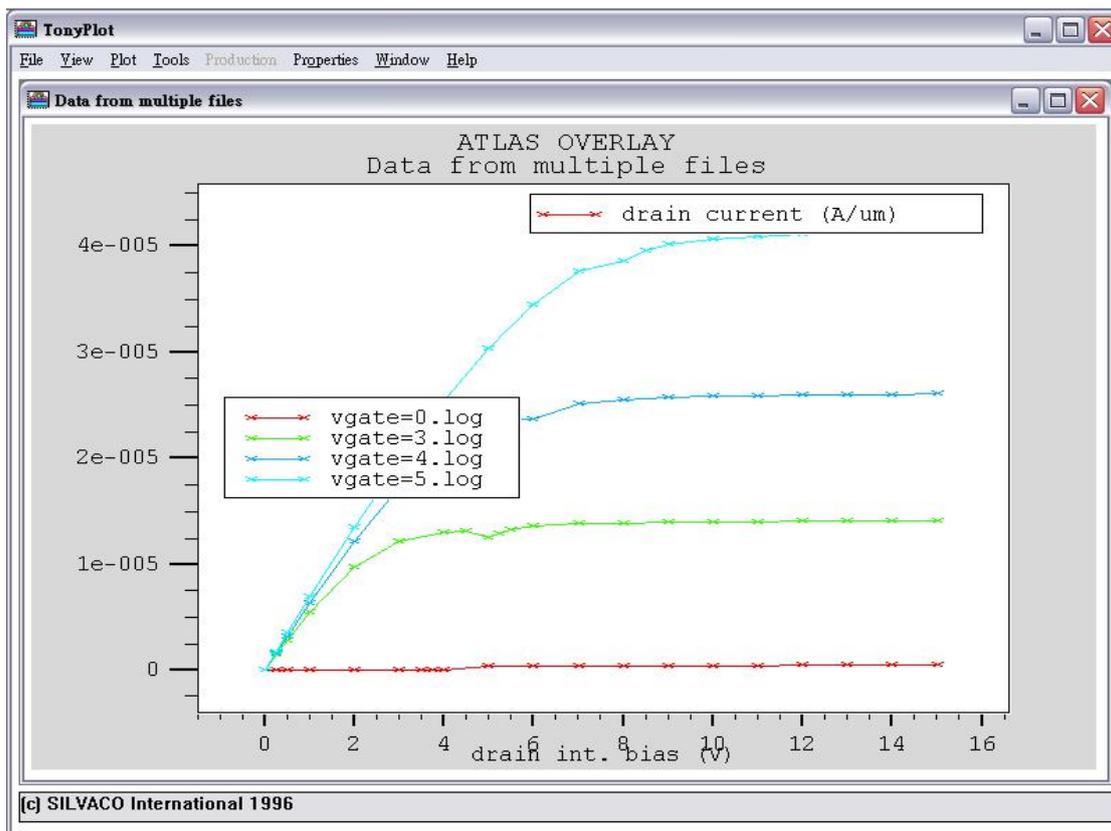


圖(4-37) 磊晶層 1.5 um 臨界電壓=1.2v

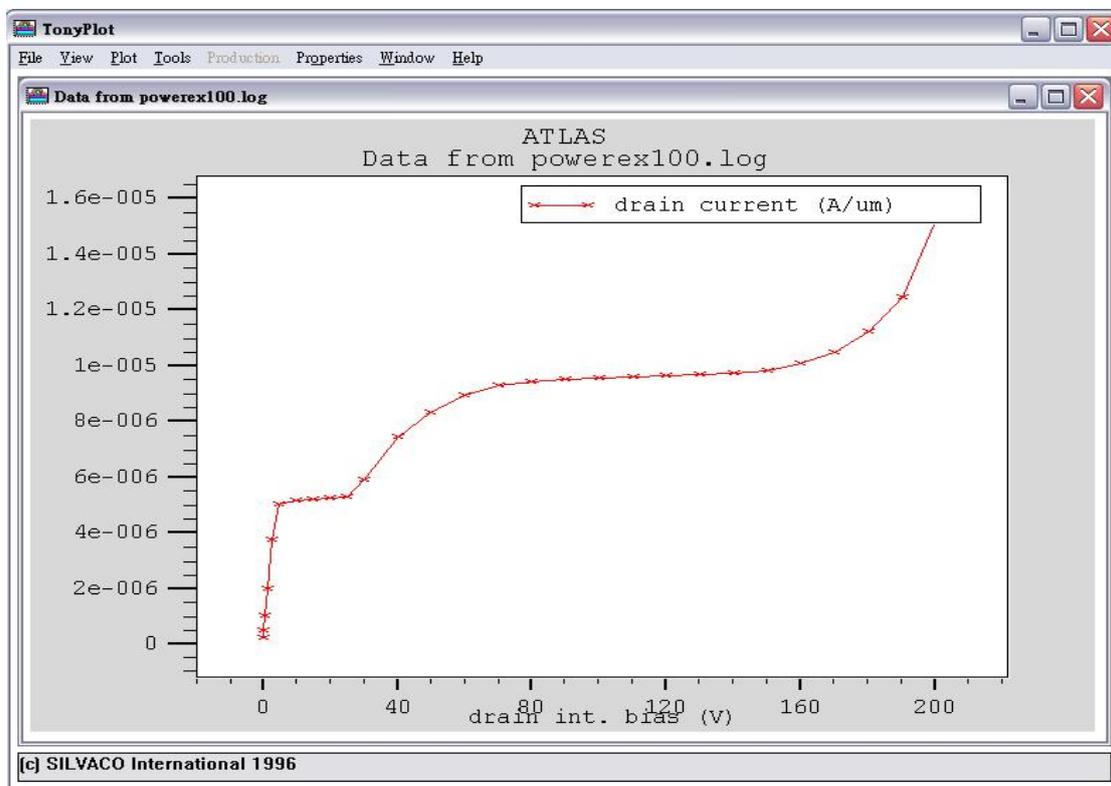
此處只改變磊晶層厚度，沒有改變到參雜濃度。



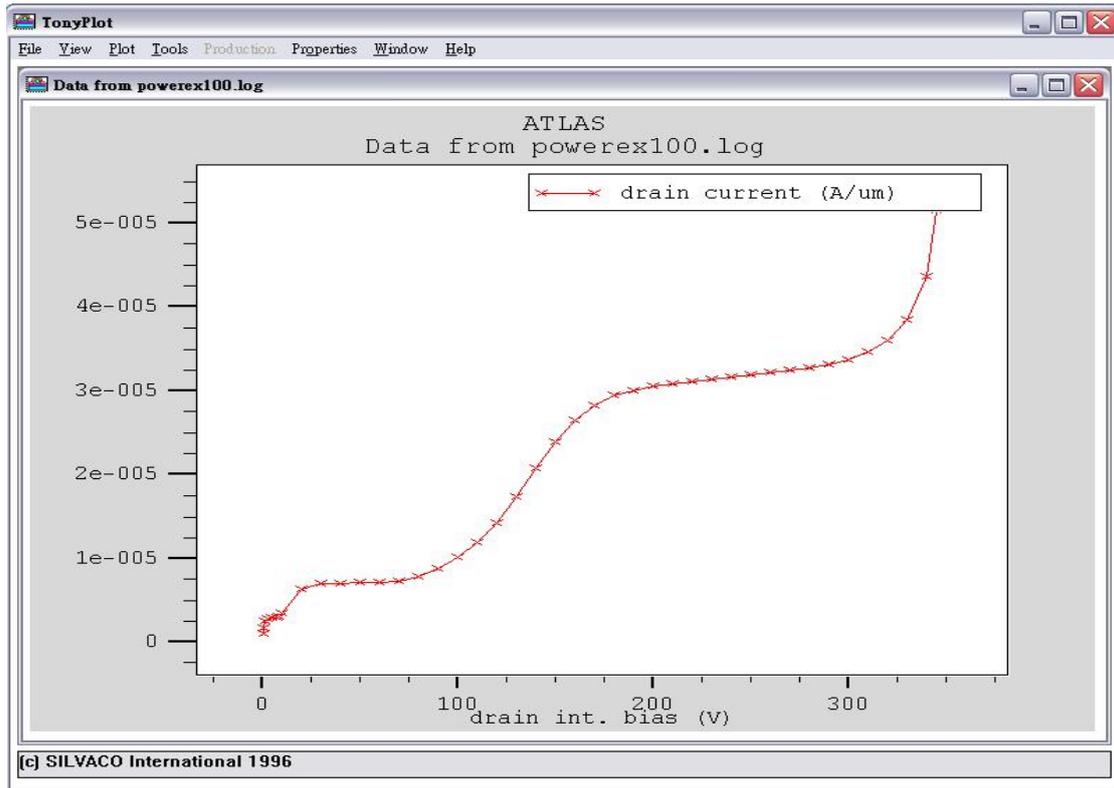
圖(4-38) 磊晶層厚度 0.5 um I-V 特性曲線



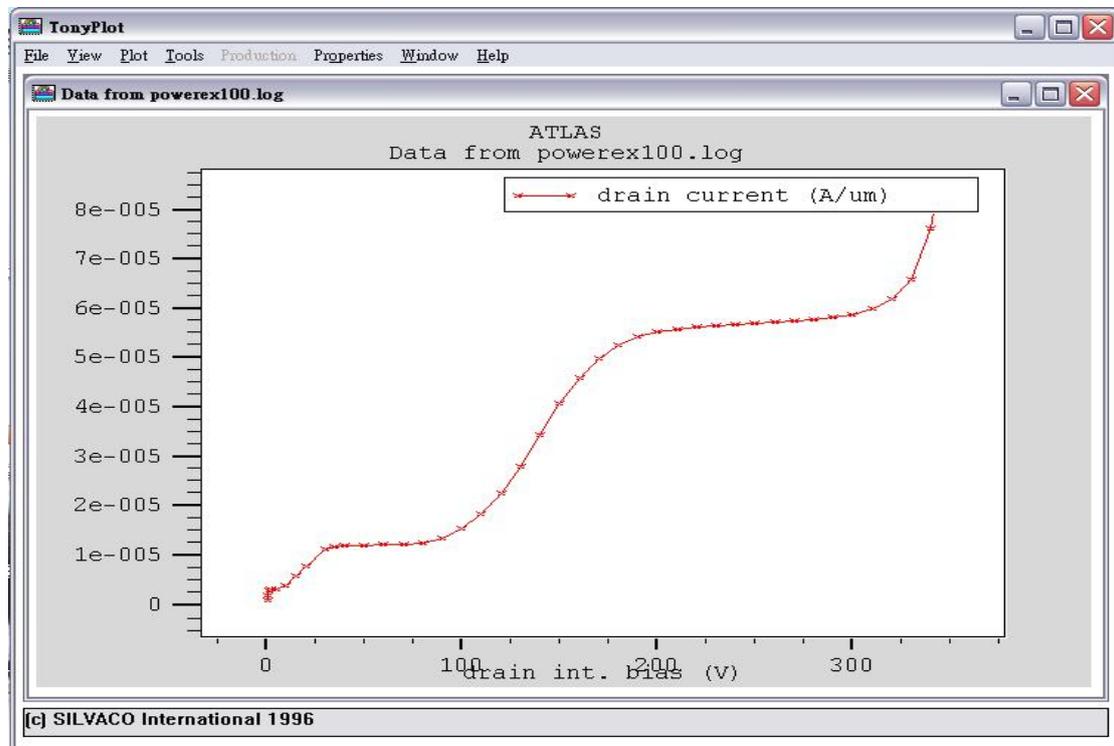
圖(4-39) 磊晶層厚度 1.5 um I-V 特性曲線



圖(4-40) 磊晶層厚度 0.5 um 崩潰電壓=200v



圖(4-41) 磊晶層厚度 1.25 um 崩潰電壓=345v

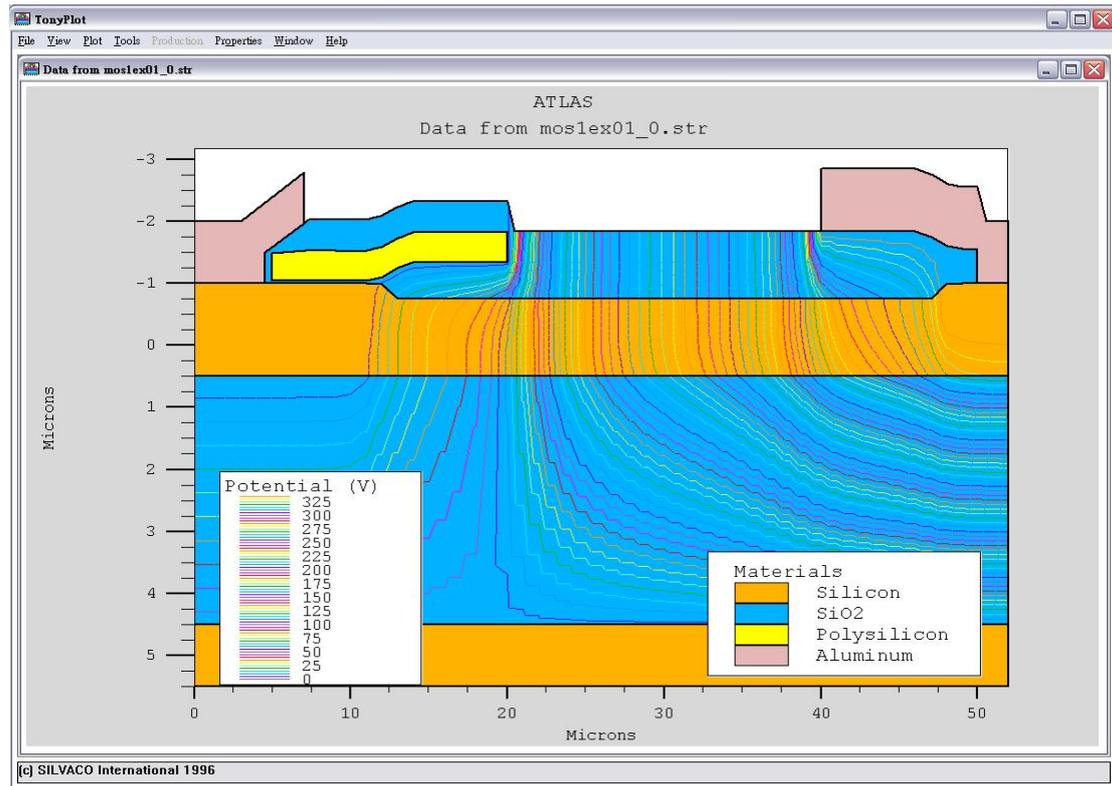


圖(4-42) 磊晶層厚度 1.50 um 崩潰電壓=340v

圖(4-40、4-41、4-42)顯示了越薄跟越厚的磊晶層都沒有辦法有效的加耐壓。

## LDMOS 之 SOI 結構模擬分析

那是因為磊晶層太薄沒有辦法耐高壓，磊晶層越厚越能耐壓，所以導致很薄的磊晶層沒有耐高壓特性。但太厚的磊晶層也不能耐高壓，是因為氧化層比磊晶層更有耐壓特性，所以磊晶層厚度不能太厚，否則氧化層尚未完全發揮分擔元件耐壓的能力，而崩潰早就發生在磊晶層上。



圖(4-43) 磊晶層厚度 1.5  $\mu\text{m}$  結構電位圖

## 第五章 SILVACO 程式碼討論

註1.: 開頭加” # ” 則這一行不會執行，主要用在標記，分隔，解說，或佔版面時。

註2.: Silvaco 的程式分兩個模組，分別為結構模組(athena)與測量模組(atlas)。

註3.: 以下程式碼有大略的意義解說，但有些不是三兩句話就能描述清楚的，請閱讀者把silvoco 使用手冊檔隨時待命，手冊在:安裝完silvoco 時，到安裝處資料夾silvoco-doc- Tcad99Q4 裡，有更清楚說明檔。

### 5.1原始碼:

```
go athena
```

```
#
```

```
line x loc=0.00 spac=0.5
```

```
line x loc=5.00 spac=0.5
```

```
line x loc=20.00 spac=0.5
```

```
line x loc=52.00 spac=0.5
```

```
#這段程式描寫 x座標0.0~5.0以間距0.5um增加
```

```
          x座標5.0~20.0以間距0.5um增加
```

```
          x座標20.0~52.0以間距0.5um增加
```

```
#
```

```
line y loc=4.00 spac=0.01
```

LDMOS 之 SOI 結構模擬分析

```
line y loc=5.00 spac=0.01
```

```
#這段程式描寫 y座標4.0~5.0以間距0.01um增加
```

```
#p- type substrate
```

```
init c.boron=2e10 orientation=100 space.mult=2
```

```
#設定基底濃度為2e10，方向為100，單位以2為基本增減。
```

```
deposit oxide thickness=4
```

```
#磊晶，厚度1，溫度850，濃度9e15。
```

```
epitaxy time=20 temp=850 thickness=1 divisions=15 \
```

```
dy=0.10 ydy=0.00 phosphorus conc=9e15
```

```
#p-body
```

```
deposit nitride thickness=1
```

```
etch nitride p1.x=11 left
```

```
implant boron dose=9e12 energy=50
```

```
diffus time=8 temp=1150 hcl=3
```

```
#打boron進磊晶層，濃度9e12，能量50，溫度1150，擴散時
```

```
間8分，hcl含量3%
```

```
etch nitride all
```

```
#通道濃度
```

```
deposit nitride thickness=2
```

## LDMOS 之 SOI 結構模擬分析

etch nitride start x=11 y=-2

etch continue x=11 y=-1

etch continue x=49 y=-1

etch done x=49 y=-2

implant phosphorus dose=2e14 energy=50

diffus time=15 temp=800

#打phosphorus進磊晶層，濃度2e14，能量50，溫度800，擴散時間15分

etch nitride all

#Source & Drain

deposit nitride thickness=3

etch nitride p1.x=5 left

etch nitride p1.x=47 right

implant arsenic dose=3e15 energy=50

diffus time=30 temp=1150 hcl=3

#打arsenic進磊晶層，濃度3e15，能量50，溫度1150，擴散時間30分，hcl含量3%

etch nitride all

#gate oxide

#長oxide，再吃掉不需要的部份

deposit oxide thickness=0.05

etch oxide p1.x=5 left

etch oxide p1.x=50 right

#長 field oxide

## LDMOS 之 SOI 結構模擬分析

deposit nitride thickness=0.35

etch nitride star x=13 y=-1.5

etch continue x=13 y=-1

etch continue x=47 y=-1

etch done x=47 y=-1.5

diffus time=73 temp=1000 weto2 press=1.3 hcl=3

#氣體壓力為1.3 的大氣壓，乾氧環境(濕氧為weto2)中長氧化物，時間用73 分鐘

溫度1000 度，週遭環境中含有3%的hcl。

#壓力高成長速度快，濕氧成長速度比乾氧快，hcl 含量高成長速度快。

etch nitride all

#gate metal

deposit polysilicon thickness=0.475

etch polysilicon p1.x=5 left

etch polysilicon p1.x=20 right

deposit oxide thickness=0.5

etch oxide p1.x=4.5 left

etch oxide p1.x=50 right

#Source and Drain metal

deposit ALUMINUM thickness=1

etch aluminum star x=7 y=-3

## LDMOS 之 SOI 結構模擬分析

```
etch continue x=7 y=-1.7
```

```
etch continue x=40 y=-1.7
```

```
etch done x=40 y=-3
```

```
#name
```

```
#設定各分量測點座標
```

```
electrode name=source x=2 y=-1.5
```

```
electrode name=drain x=45 y=-2
```

```
electrode name=gate x=10 y=-1.2
```

```
#儲存元件模型，並畫出結構
```

```
#####
```

```
structure outfile=mos1ex01_0.str
```

```
plot the structure
```

```
tonyplot mos1ex01_0.str
```

```
#####
```

#deposit可以長nitride、oxide、metal、poly等材質，是常用指令。

#etch用來清除所有不需要的部份，什麼材質都可以使用etch來清除。

#implant是離子佈植，可以打三價、五價元素，能量大小跟擴散時間環境等參數，可由接下來的diffus time, temp等指令設定。

```
#####量測元件之臨界電壓#####
```

## LDMOS 之 SOI 結構模擬分析

```
go atlas
```

```
# set material models
```

```
#設定基本模型
```

```
models cvt srh print
```

```
#設定量測點
```

```
contact name=gate n.poly
```

```
interface qf=2e8
```

```
method gummel newton
```

```
solve init
```

```
# Bias the drain
```

```
#設定drain電壓1V
```

```
solve vdrain=1
```

```
# Ramp the gate
```

```
#設定gate電壓以0.5V為單位遞增，由0V開始到5V，結果存  
到moslex01_1.str
```

```
log outf=moslex01_1.log master
```

```
solve vgate=0 vstep=0.1 vfinal=5 name=gate
```

```
save outf=moslex01_1.str
```

```
# plot results
```

## LDMOS 之 SOI 結構模擬分析

#畫出測量結果圖形

```
tonyplot mos1ex01_1.log
```

# extract device parameters

#抽出參數 Vt,beta,theta

```
extract name="nvt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
- abs(ave(v."drain"))/2.0)
```

```
extract name="nbeta" slope(maxslope(curve(abs(v."gate"),abs(i."drain")))) \
* (1.0/abs(ave(v."drain")))
```

```
extract name="ntheta" ((max(abs(v."drain")) * $"nbeta")/max(abs(i."drain"))) \
- (1.0 / (max(abs(v."gate")) - ($"nvt")))
```

#儲存元件模型，並畫出結構

```
#####
```

```
structure outfile=mos1ex01_0.str
```

```
plot the structure
```

```
tonyplot mos1ex01_0.str
```

```
#####
```

```
#####抽參數做電性量測#####
```

```
#####Id-Vds 之 gm 量測#####
```

```
go atlas
```

```
# define the Gate workfunction
contact name=gate n.poly

# Define the Gate Qss
interface qf=4e11

# Use the cvt mobility model for MOS
models cvt srh print numcarr=2

# set gate biases with Vds=0.0
#設定gate為0V,3V,4V,5V，存成四個暫存檔
solve init
solve vgate=0 outf=solve_tmp0
solve vgate=3 outf=solve_tmp1
solve vgate=4 outf=solve_tmp2
solve vgate=5 outf=solve_tmp3

#load in temporary files and ramp Vds
#讀取四個不同gate電壓的檔案，drain電壓以0.5V遞增，由0V開始到15V為止
load infile=solve_tmp0
log outf= vgate=0.log
solve name=drain vdrain=0 vfinal=15 vstep=1

load infile=solve_tmp1
log outf= vgate=3.log
```

## LDMOS 之 SOI 結構模擬分析

```
solve name=drain vdrain=0 vfinal=15 vstep=1
```

```
load infile=solve_tmp2
```

```
log outf= vgate=4.log
```

```
solve name=drain vdrain=0 vfinal=15 vstep=1
```

```
load infile=solve_tmp3
```

```
log outf= vgate=5.log
```

```
solve name=drain vdrain=0 vfinal=15 vstep=1
```

```
# extract max current and saturation slope
```

```
extract name="nidsmax" max(i."drain")
```

```
extract name="sat_slope" slope(minslope(curve(v."drain",i."drain")))
```

```
#將四個不同gate電壓算出的結果，在同一個圖上畫出來
```

```
tonyplot -overlay -st vgate=0.log vgate=3.log vgate=4.log vgate=5.log
```

```
#####崩潰電壓#####
```

```
go atlas
```

```
models cvt srh print
```

```
impact selb
```

```
contact name=gate n.poly
```

## LDMOS 之 SOI 結構模擬分析

```
interface qf=3e9

#

solve init

method newton trap maxtraps=10 climit=1e-3 ir.tol=1e-30 ix.tol=1e-30
#由初始值開始計算，以method Newton 解
#maxtraps：避免發散程式無法運算，設定這個可以使收斂
#climit：濃度限制,模擬崩潰時常會用到

solve init

solve vgate=2.5 outf=solve_tmp1
solve vsource=0 outf=solve_tmp1
# vgate=5，vsorce=0 去計算電性，solve_tmp1 的結果設為輸出檔

#

load infile=solve_tmp1
#solve_tmp1 設為載入的輸入檔

log outf=powerex100.log

solve vstep=10 vfinal=360 name=drain compl=3e-5 cname=drain
#compl:compliance(妥協),用來限制假如計算到 vfinal 之前電流就達
#到 1e-5 時,則程式停止，主要用來避免 360v 之前就崩潰程式爆掉

outf=powerex100_1.str master onefile
```

## LDMOS 之 SOI 結構模擬分析

```
#####  
# MASTER: 將會以一種基本架構格式輸出，此種格式可以  
#tonyplot 畫出圖來  
#STRUCTURE: 與 save 同義  
#####  
  
extract name="bv" max(v."drain")  
  
# extract device parameters  
extract name="nvt" (xintercept(maxslope(curve(abs(v."gate"),abs(i."drain")))) \  
  - abs(ave(v."drain"))/2.0)  
  
extract name="nbeta" slope(maxslope(curve(abs(v."gate"),abs(i."drain")))) \  
  * (1.0/abs(ave(v."drain")))  
  
extract name="ntheta" ((max(abs(v."drain")) * $"nbeta")/max(abs(i."drain"))) \  
  - (1.0 / (max(abs(v."gate")) - ($"nvt")))  
  
tonyplot powerex100.log  
  
#####  
structure outfile=mos1ex01_0.str  
plot the structure  
tonyplot mos1ex01_0.str  
#####
```

quit

#quit 為結束的意思，程式跑到這裡就會停止執行

## 5.2 程式相關內容補充說明

### (1) Model and Material Parameter Selection in 3D

物理model大概分為6 個部分,各種model 的計算方式請參照使用手冊，

以下為使用介紹大綱

Table 2-1. Carrier Statistics Models		
Model	Syntax	Notes
Boltzmann	BOLTZMANN	Default model
Fermi-Dirac	FERMI	Reduced carrier concentrations in heavily doped regions (statistical approach)
Incomplete Ionization	INCOMPLETE	Accounts for dopant freeze-out. Typically used at low temperatures.
Silicon Ionization Model	IONIZ	Accounts for full ionization for heavily doped Si. Use with

		INCOMPLETE.
Bandgap Narrowing	BGN	Important in heavily doped regions. Critical for bipolar gain. Use Klaassen Model.

Table 2-2. Mobility Models		
Model	Syntax	Notes
Concentration Dependent	CONMOB	Lookup table valid at 300K for Si and GaAs only. Uses simple power law temperature dependence.
Concentration and Temperature Dependent	ANALYTIC	Caughey-Thomas formula. Tuned for 77-450K.
Arora's Model	ARORA	Alternative to ANALYTIC for Si
Carrier-Carrier Scattering	CCSMOB	Dorkel-Leturg Model. Includes $n$ , $N$ and $T$ dependence. Important when carrier concentration is high (e.g., forward bias power devices).
Parallel Electric Field Dependence	FLDMOB	Si and GaAs models. Required to model any type of velocity saturation effect.

Tasch Model	TASCH	Includes transverse field dependence. Only for planar devices. Needs very fine grid.
Watt Model	WATT	Transverse field model applied to surface nodes only.

Model	Syntax	Notes
Klaassen Model	KLA	Includes N, T and n dependence. Applies separate mobility to majority and minority carriers. Recommended for bipolar devices
Shirahata Model	SHI	Includes N, . An alternative surface mobility model that can be combined with KLA. $E^{\wedge}$
Modified Watt	MOD.WATT	Extension of WATT model to non-surface nodes. Applies constant effects. Best model for planar MOS devices $E^{\wedge}$
Lombardi (CVT) Model	CVT	Complete model including N, T, $E//$ and effects. Good for non-planar devices. $E^{\wedge}$
Yamaguchi Model	YAMAGUCEI	Includes N, $E//$ $E^{\wedge}$ effects. and Only for 300K.

Model	Syntax	Notes
Shockley-Read-Hall	SRH	Uses fixed minority carrier life-times. Should be used in most simulations.
Concentration Dependent	CONSRH	Uses concentration dependent life-times. Recommended for Si.
Auger	AUGER	Direct transition of three carriers. Important at high current densities.

Optical	OPTR	Band-band recombination. For direct materials only.
Surface	S.N S.P	Recombination at semiconductor to insulator interfaces. Set on the INTERFACE statement.

Table 2-4. Impact Ionization		
Model	Syntax	Notes
Silberrherr's Model	IMPACT SELB	Recommended for most cases. Includes temperature dependent parameters.
Grant's Model	IMPACT	Similar to Selberrherr's model but with different coefficients.
Crowell-Sze	IMPACT CROW-BLL	Uses dependence on carrier scattering length.
Toyabe Model		Non-local model used with Energy Balance. Any IMPACT syntax is accepted.
Concannon	N.CONCAN P.CONCAN	Non-local model developed in Flash EEPROM technologies.

Table 2-5. Tunneling Models and Carrier Injection Models		
Model	Syntax	Notes
Fowler-Nordheim (electrons)	FNORD	Self-consistent calculation of tunneling through insulators. Used in EEPROMs.
Fowler-Nordheim (holes)	FNHOLES	As FNORD for holes. Not usually required.
Band-to-Band (standard)	BBT.STD	For direct transitions. Required with very high fields.
Klaassen Band-to-Band	BBT.KL	Includes direct and indirect transitions.

Hot Electron Injection	HEI	Models energetic carriers tunneling through insulators. Used for gate current and Flash EEPROM program-ming.
Hot Hole Injection	HHI	As HEI for holes. For ULSI PMOS devices.
Concannon Gate Current Model	N.CONCAN P.CONCAN	Non-local gate model consistent with Concannon substrate current model.

## (2) 定義材料 Parameters And Models

[一] 電極特性宣告與法：CONTACT，MATERIAL，MODELS

[二] Impact ionization 特性宣告語法：IMPACT

[三] Interface 特性宣告語法：INTERFACE

## (3) 選擇計算方法

基本有三種情形

[一] de-coupled

[二] fully coupled

[三] block

## 數值收斂標準簡介:

Table 14-1. User Specifiable Parameters for Convergence Criteria			
Symbol	Statemen	Parameter	Default
$P_{tol x}$	METHOD	PX.TOL	$10^{-5}$
$C_{tol x}$	METHOD	CX.TOL	$10^{-5}$
$TL_{tol x}$	METHOD	TLX.TOL	$10^{-5}$
$TC_{tol x}$	METHOD	TCX.TOL	$10^{-5}$
$P_{tol r}$	METHOD	PR.TOL	$5 \cdot 10^{-26}$
$C_{tol r}$	METHOD	CR.TOL	$5 \cdot 10^{-18}$
$TL_{tol r}$	METHOD	TLG.TOL	100
$TC_{tol r}$	METHOD	TCR.TOL	100
E1	METHOD	IX.TOL	$2 \cdot 10^{-5}$
E2	METHOD	IR.TOL	$5 \cdot 10^{-15}$
W	METHOD	WEAK	200
TOL.RELA X	METHOD	TOL.RELAX	1
XNORM	METHOD	XNORM	TRUE
RHSNORM	METHOD	RHSNORM	TRUE
CLIMIT	METHOD	CLIMIT	$10^4$
CLIM.DD	METHOD	C0	$4.5 \cdot 10^{13}$

#### (4) save 宣告語法

Save outfile=<filename> [MASTER]

**OUTFILE**：輸出檔。

**MASTER**：將會以一種基本架構格式輸出，此種格式可以 tonyplot 畫出圖來。

**STRUCTURE**：與 SAVE 相同。

**PISCES**：輸出檔將會以原來的 pisces 格式呈現。

例如：

SOLVE Va=5

SAVE OUFT=data1.str

等效於 SOLVE Va=5 OUFT=data1.str MASTER

#### (5) SOLVE

SOLVE[<ion>]<dc>[<fp>][<ep>][<tp>][<ac>][<photo>][<thermal>]

只要以 Atlas 來表現每一個偏壓點的解

各種參數簡介：

DECAY	Real		s
DELTAV	Real	0.1	V
DIRECT	Logical	False	
DT	Real	0	s
E.COMPL	Real		
E.CRIT	Real	1*10-8	
ELECTRODE	Integer		
ENDRAMP	Real		s
FREQUENCY	Real		Hz
FSTEP	Real	0	Hz
GRAD	Logical	False	
I<n>	Real		A/mm
IFINAL	Real		A/mm
IMULT	Logical	False	
INAME	Character		
INDEX.CHECK	Logical	False	

Parameter	Type	Default	Units
INITIAL	Logical	False	
ION.CRIT	Real	1.0	
ION.ELEC	Integer	see Description	
IONIZINT	Logical	False	
IONLINES	Integer	50	none
IONSTOP	Logical	True	
ISTEP	Real	0.0	A/mm
LAMBDA1	Real		mm
LIT.STEP	Real		W/cm <sup>2</sup>
LOCAL	Logical	False	
LRATIO	Real	1.0	
L.WAVE	Real		mm
MASTER	Logical	False	
MAX.INNER	Integer	25	
MLOCAL	Logical	True	

MULT.FREQ	Logical	False	
N.BIAS	Real		V
NAME	Character		
NB1	Real		V
NB2	Real		V
NB3	Real		V
NB4	Real		V
NB5	Real		V
NB6	Real		V
NB7	Real		V<B>
NB8	Real		V
NFSTEPS	Integer	0	
NLAYERS	Real	15	
NSTEPS	Integer	0	
ONEFILEONLY	Logical	See Description	
OUTFILE	Character		

Parameter	Type	Default	Units
P.BIAS	Real		
PB1	Real		V
PB2	Real		V
PB3	Real		V
PB4	Real		V
PB5	Real		V
PB6	Real		V
PB7	Real		V
PB8	Real		V
POWER<n>	Real		W
POWERFINAL	Real		W
PREVIOUS	Logical	False	
PROJECT	Logical	False	
PULSE.WIDTH	Real		s
Q<n>	Real		C/mm

QFACTOR	Real	1.0 or previous value	
QFINAL	Real		C/mm
QSTEP	Real		C/mm
RAMPTIME	Real		s
RAMP.LIT	Logical	False	
SCAN.SPOT	Real		
S.OMEGA	Real	1.0	
SINUAMP.COMP	Real	0.0	
SINUVAR.COMP	Real	0.0	
SOR	Logical	False	
SS.LIGHT	Real	0.001	W/cm <sup>2</sup>
SS.PHOT	Logical	False	
T <n>	Real		K
T.COMP	Real	0	K
T.SAVE	Real	0.0	s
TSAVE.MULT	Real	1.0	

Parameter	Type	Default	Units
TERMPINAL	Real		K
TERMINAL	Integer	all contacts	
TOLERANCE	Real	1*10 <sup>-5</sup>	
TRANS.ANALY	Logical	False	
TSTOP	Real		
TWOFILESONLY	Logical	False	
V<n>	Real		V
VFINAL	Real		V
VSTEP	Real	0.0	V
VSS	Real	0.1	V

SOLVE...OUTFILE=<filename>.sta MASTER[ONEFILEONLY]

表示每一個偏壓點的計算 data 結會被儲存起來，解如只需要最後一個偏壓點的計算 data，加: [ONEFILEONLY]

此外，外了找出 TONYPLOT 的任何一個偏壓點的解，select the plot and press “b” on the keyboard。

## 第六章 結論

- (1) 在水平式的功率電晶題中我們利用 SOI 的晶片可以達到高耐壓的能力，而且只要再增加 SOI 晶片中的氧化層厚度就可以再增加耐壓能力，這樣讓我們以後要設計高耐壓元件更具有信心。
- (2) RESURF 元離發揮作用，使得電晶體崩潰點在汲極端的下方，可以達到最佳的設計。
- (3) SOI 晶片雖然可輕易的達到高耐壓，但元件的熱效應將是一個研究的題目。
- (4) 利用場板效性來改善汲極的電場分佈以提升電晶體的耐壓能力
- (5) 比較圖表

[一] 氧化層變化

	2um	3um	4um	5um	6um
臨界電壓	1.4v	1.4v	1.4v	1.4v	1.4v
Gm	不變	不變	不變	不變	不變
耐壓	250v	295v	344v	362v	372v

氧化層越厚越能耐壓，但因為 SOI 晶片製作不易所以價格並不便宜。所以氧化層不可能做的無限大。

## [二] 閘極多晶矽長度

	10um	15um	17.5um	20um
臨界電壓	1.4v	1.4v	1.4v	1.4v
Gm	不變	不變	不變	不變
耐壓	346v	344v	336v	320v

改變閘極多晶矽長度，不會影響到元件臨界電壓，但驅動電流會有微小變化。且閘極多晶矽長度越長耐壓程度會越差。

## [三] 汲極金屬長度

	3um	7um	11um	13um
臨界電壓	1.4v	1.4v	1.4v	1.4v
Gm	不變	不變	不變	不變
耐壓	260v	280v	344v	344v

利用長板效應來改善耐壓程度，長板的長度大於 11um 以上的長板長度對耐壓就沒有影響力，小於 11um 影響耐壓很嚴重。

## [四] P-body 寬度的改變

	8um	10um	11um
臨界電壓	1.4v	1.4v	1.4v
Gm	變大	變大	不變
耐壓	300v	325v	344v

P-body 寬度小時，會有比較好的 gm 值。P-body 的邊界越是接近氧化層的鳥嘴結構，則電晶體的崩潰電壓就越高。在這裡 P-body 寬度不能超過 11um 會照成磊晶層凹洞下方也要形成反轉層，因為那邊氧化層相當的厚，除非要加很大的電壓，否則不

太容易形成通道。

[五] 磊晶層厚度改變

	0.5um	0.75um	1um	1.25um	1.50um
臨界電壓	1.1	1.2v	1.4v	1.2v	1.2v
Gm	變大	不變	不變	不變	不變
耐壓	200v	280v	344v	345v	340v

此處只改變磊晶層厚度，沒有改變到參雜濃度。磊晶層太薄沒有辦法耐高壓，磊晶層越厚越能耐壓，所以導致很薄的磊晶層沒有耐高壓特性。但太厚的磊晶層也不能耐高壓，是因為氧化層比磊晶層更有耐壓特性，所以磊晶層厚度不能太厚，否則氧化層尚未完全發揮分擔元件耐壓的能力，而崩潰早就發生在磊晶層上。

## Reference

- [1] B.J.Baliga, "Power Semiconductor Devices".Boston,Ma : PWS,1995
  
- [2] P. Ratnam, "Novel silicon-on-insulator MOSFET for high-voltage integrated circuits", Electronics Letters, Vol. 25, No. 8, pp. 536-537, April 1989
  
- [3] Sung-Lyong Kim, Hoie-Yoon Yang and Yearn-Ik Choi, "A Low On-Resistance SOI LDMOS using a Recessed Source and a Trench Drain"
  
- [4] Jongdae Kim, Sang-Gi Kim, Tae Moon Roh, Jin Gun Koo, and Kee-Soo Nam," A Novel P-channel SOI LDMOS Transistor with Tapered Field Oxides"
  
- [5] S. Merchant, E. Arnold, H. Baumgart, R. Egloff, T. Letavic, S.M.ukherjee, and H. Pein,"Dependence of Breakdown Voltage on Drift Length and Buried Oxide Thickness in SOI RESURF LDMOS Transistors"
  
- [6] Der-Gao Lin, S. Larry Tu, Yee-Chaung See, and Pak Tam "A Novel LDMOS Structure With A Step Gate Oxide"IEEE 1995 Page(s):963 – 966
  
- [7] C. K. Jeon, J. J. Kim, Y. S. Choi, M. H. Kim, S. L. Kim, H. S. Kang, and C. S. Song "Analysis of LDMOS structure with inclined p-bottom region"IEEE June 2002 Page(s):293 - 296

